

N	Aussage	falsch	Wahr
1 V2	Der Mikrorechner enthält einen Mikroprozessor, der über den Systembus mit Speicher, Controllern und Schnittstellen für Peripherie-Geräte verbunden ist.		X
2	CISC – Prozessoren enthalten einen Steuerwerk als festverdrahtetes Schaltwerk. RISC	X	
3 V3	IRQ (Interrupt request), NMI (Non maskable interrupt) und HALT Leitungen des Steuerwerks sind nicht Interuppt-Eingänge. Doch, sie sind.	X	
4 V3	Interrupt-enable Bit des Steuerregisters bestimmt, ob auf eine Unterbrechungsanforderung am INT-Eingang reagiert wird.		X
5 V3	Mit Hilfe des Steuerregisters kann die momentane Arbeitsweise des Prozessors beeinflusst werden.		X
6 V4	Indexregister enthält eine Distanz (<i>Offset</i>) zu einer Basisadresse und dient zur Auswahl eines bestimmten Datums des Speicherbereichs.		X
7 V4	Stackregister (<i>Stack Pointer – SP</i>) enthält die Adresse des zuerst in den Stack eingetragenen Datums. Zuletzt	X	
8 V5	Asynchroner Systembus – Zeitliche Abläufe werden durch Handshake Signale gesteuert. Der Systemtakt spielt keine Rolle mehr für die Synchronisation der Signale	X	
9 V4	Zu den Aufgaben des Adresswerks bei Hochleistungsprozessoren gehört insbesondere die Verwaltung eines virtuellen Speichers		X
10 V4	Die Skalierungskomponente kann man nicht durch einen Barrel Shifter als Schaltnetz realisieren. Doch, man kann es.	X	
11	Pipeline : Wenn ein Datenkonflikt erkannt wird, die Rückführung des ALU-Ausgaberegister auf die ALU-Eingaberegister ist als Forwarding bekannt.		X
12	Für CISC -Rechner: Alle Befehle sind gleich lang, Decodierschaltung wird einfacher, Programme länger, aber Ausführungszeit – kürzer.	X	
13	Bei DRAMs werden zur Zugriffsbeschleunigung keine einzelnen Bytes zwischen Prozessor und Speicher übertragen, sondern benachbarte Gruppen von Bytes (Blöcke).		X
14	Beim Direct Mapped Cache (DM-Cache) enthält jede Stelle des Hauptspeichers einen eindeutigen und festen Platz im Cache.		X
15	Virtuelle Segmentierungs-Speicherverwaltung spiegelt nicht logische Programmstruktur wieder.	X	
16	Zweistufiges Seitenwechsel-Verfahren : die niedrigstwertigen 12 Bits werden als Offset zur Seitenadresse addiert, um die endgültige, physikalische Adresse zu erhalten.		X
17	Durch die Benutzung beider Taktflanken zur Datenübertragung wird die Zugriffsrate der DDR-RAMs gegenüber den SDRAMs verdoppelt.		X
18 V3	Werte von Statusbits können nicht direkt Einfluss auf die Ausführung (bedingte Programmverzweigung) des Mikroprogramms haben. Doch sie können.	X	
19	Die sequentiellen Phasen der Befehlsausführung in einer fünfstufigen Pipeline (<i>DLX – Pipeline</i>) sind: 1. Befehl holen 2. Operand(en) holen 3. Befehl decodieren (interpretieren) 4. Operation ausführen 5. Ergebnis speichern	X	
20 V2	Das von-Neuman-Konzept eines Digitalrechners besteht aus den Komponenten – Zentraleinheit , Speicher und Ein-/Ausgabe Einheiten.		X
21 V2	Adressleitungen (Adressbus) auf denen die Adressinformation transportiert wird sind bidirektional. Unidirektional –richtig	X	
22 V4	Stackspeicher („Kellerspeicher“) ist ein Speicherbereich, der nach dem Prinzip FIFO (first-in-first-out) organisiert ist. LIFO	X	
23	Die benutzerzugänglichen Register werden als Programmiermodell des Prozessors bezeichnet.		X
24 V4	Skalierung : ein Barrel Shifter erlaubt die Verschiebung um n Bits parallel (d.h. in einem einzigen Taktzyklus).		X
25	Lösungen für Datenkonflikte: Umordnen der Befehle des Programms um Leeroperationen zu eliminieren ist eine Hardware-Lösung.	X	
26	Zwei Möglichkeiten der Cache -Einbindung: -Virtueller Cache – wird zwischen CPU und MMU gelegt -Physikalischer Cache – wird zwischen MMU und Speicher gelegt		X
27	RISC – Prozessoren enthalten einen Steuerwerk als festverdrahtetes Schaltwerk.		X

