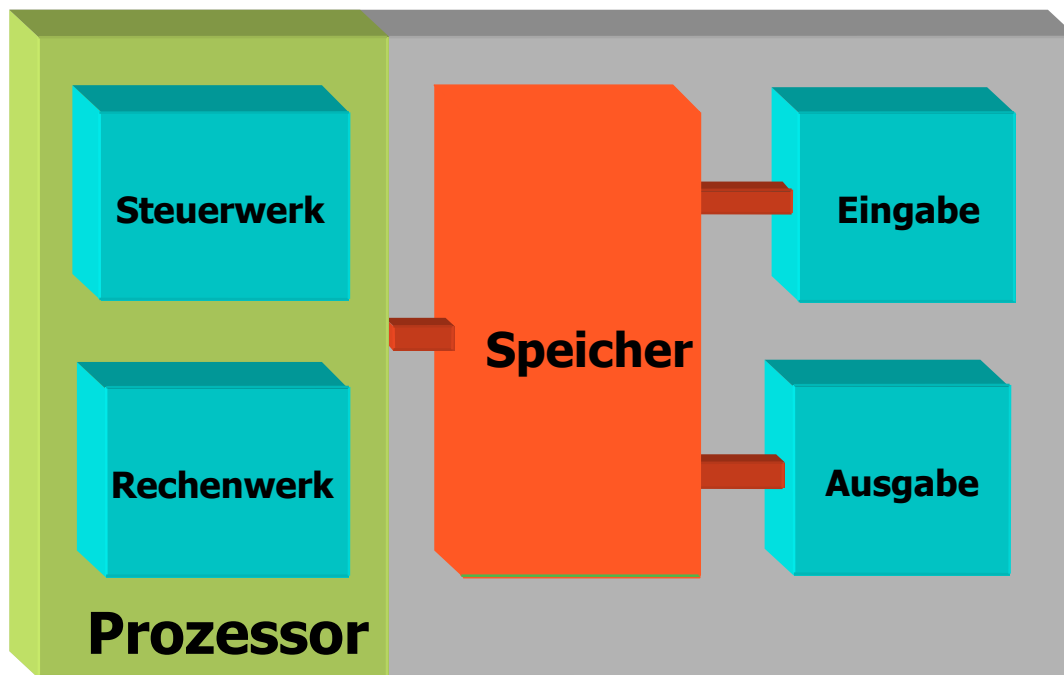


# Wo sind wir?

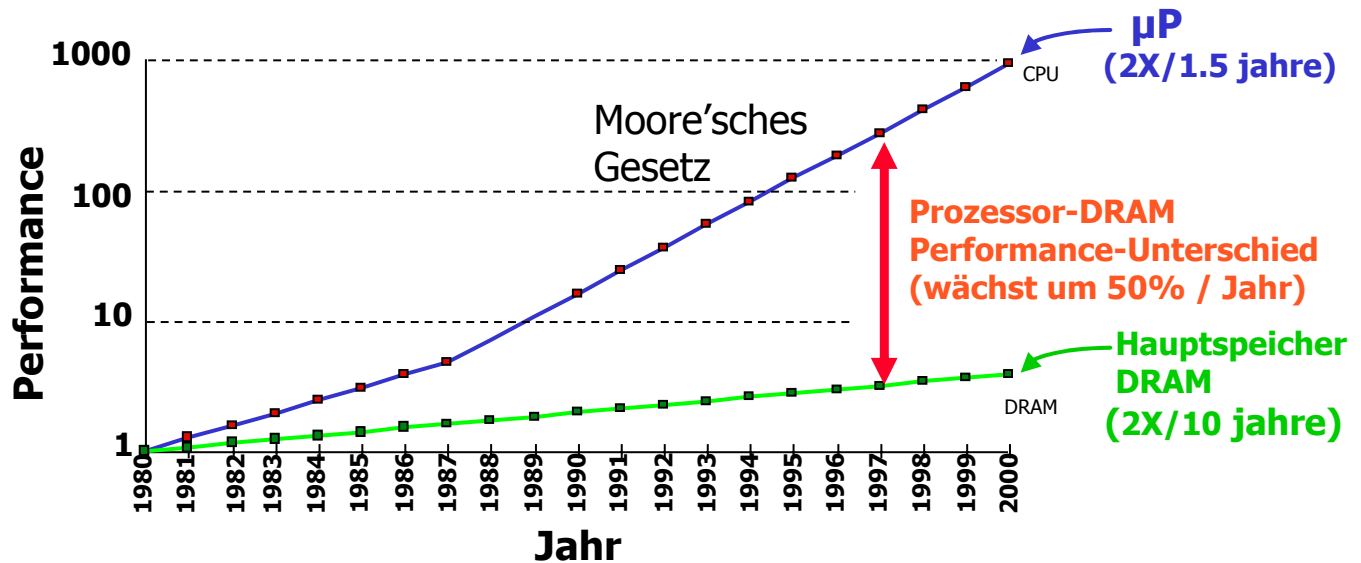


## Kapitel 3 Speicher

- ❑ Halbleiterspeicher
- ❑ Aufbau und Organisation
- ❑ Techniken zur Zugriffsbeschleunigung
- ❑ Speicherhierarchie
  - Cache-Speicher
  - Virtuelle Speicherverwaltung
- ❑ Direct Memory Access (DMA)



# Prozessor-Speicher-Performance-Unterschied



Immer größer werdende Lücke zwischen Verarbeitungsgeschwindigkeit von Prozessoren und Zugriffsgeschwindigkeit der DRAM Speicherchips des Hauptspeichers



## Speicher-Technologie-Trends

	Kapazität	Geschwindigkeit
Logic:	2x in 3 Jahren	2x in 3 Jahren
DRAM:	4x in 3 Jahren	2x in 10 Jahren
Disk:	4x in 3 Jahren	2x in 10 Jahren

Hauptspeicher (DRAM)		
Jahr	Kapazität	Zykluszeit
1980	1000:1 64 Kb	250 ns
1983	256 Kb	220 ns
1986	1 Mb	190 ns
1989	4 Mb	165 ns
1992	16 Mb	145 ns
1995	64 Mb	120 ns
1998	256 Mb	100 ns
2002	1 Gb	80 ns



- 
- Heute:  
Aufbau und Organisation des Hauptspeichers
  - Später:  
Speicherhierarchie zum Abbau der Kluft zwischen Verarbeitungsgeschwindigkeit von Prozessoren und Zugriffsgeschwindigkeit des Hauptspeichers



## Speicher

---

2 Arten von Speicher in einem Rechner:

Hauptspeicher (Arbeitsspeicher) und  
Peripheriespeicher

Hier soll der Hauptspeicher näher betrachtet werden

### Hauptspeicher:

Gedächtnis (*memory*) des Rechners

Es werden dort Programme und Daten gespeichert,  
die **„jeder Zeit sofort“** zur Verfügung stehen  
müssen



# Speicher

---

Man unterscheidet zwischen:

□ permanenter Ablage von Daten → Langzeitgedächtnis

Festwertspeicher (ROM), nicht flüchtig  
z. B. Betriebssystemkern, Systemtabellen

□ vorübergehender Ablage von Daten → Kurzzeitgedächtnis

Schreib/Lesespeicher (RAM), flüchtig  
z. B. Anwenderprogramme



# Speicher

---

Als Hauptspeicher wird verwendet:

**heute:** ausschließlich Halbleiterspeicher

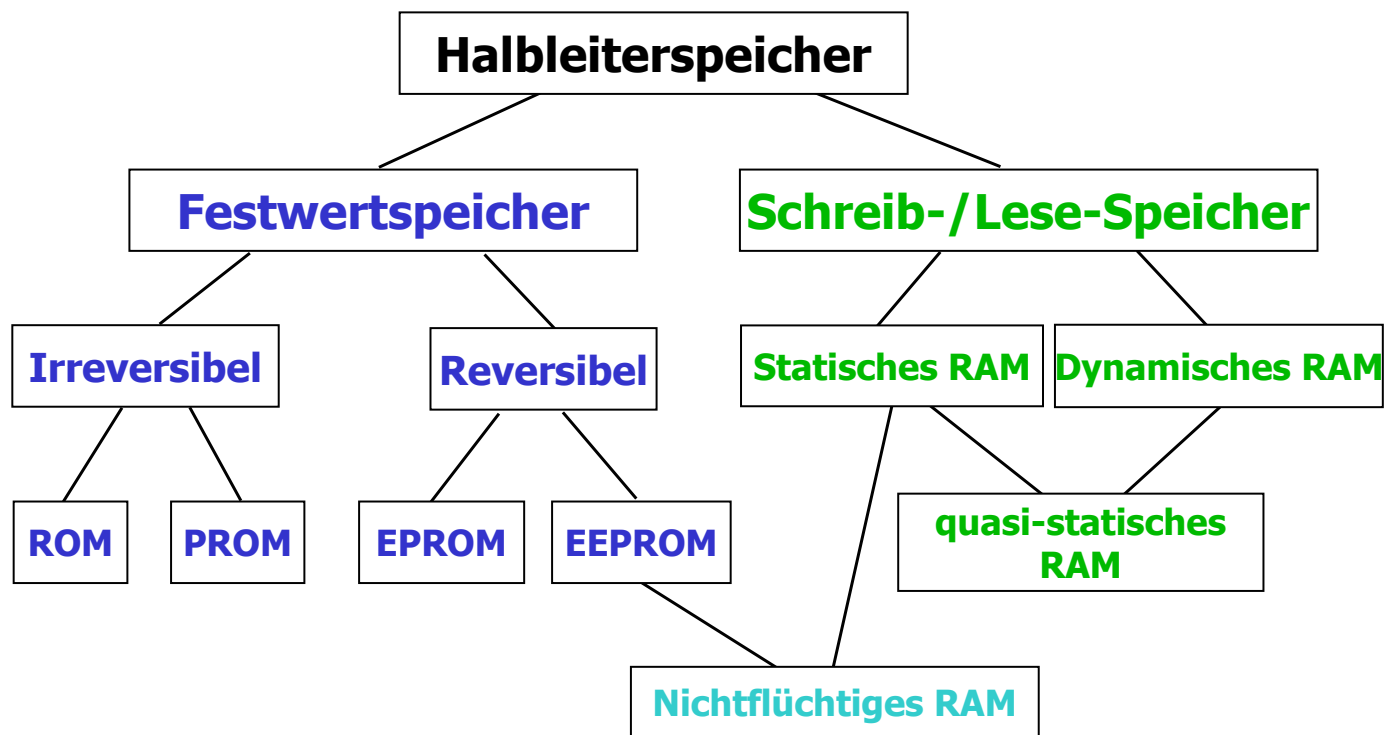
schnell, klein, zuverlässig,  
preisgünstig (< 1 € / Mbyte)

**früher:** Ringkernspeicher (Magnetspeicher),  
Röhren, Relais

langsam, groß, teuer  
z. B. ¼ Mbyte Speichererweiterung einer  
IBM/360-75 kostete 1967 1 Million DM



## 3.2 Klassifizierung von Halbleiterspeichern



### Festwertspeicher (ROM, *Read Only Memory*)

Inhalt ist während des Normalbetriebs nur lesbar. Inhalt ist nicht flüchtig (*non volatile*), d. h. er geht bei Abschaltung der Versorgungsspannung nicht verloren

#### ❑ **Irreversible Festwertspeicher:**

Das Einschreiben einer Information kann nicht wieder rückgängig gemacht werden

- **maskenprogrammierten Festwertspeicher (ROM):**  
Programmierung bei der Herstellung, nur bei großer Stückzahl
- **programmierbare Festwertspeicher (PROM):**  
einmaliges Programmieren durch den Anwender mit Programmiergerät (Durchbrennen von Verbindungen, fusable links)



# Festwertspeicher (ROM, *Read Only Memory*)

---

## □ **Reversible Festwertspeicher:**

Das Einschreiben der Informationen kann wieder rückgängig gemacht werden.

- **UV-löschbaren Festwertspeicher (EPROM):**  
Löschen durch UV-Licht.
- **Elektrisch löschbare Festwertspeicher (EEPROM):**  
können im  $\mu$ P-System selbst elektrisch gelöscht werden. Dieser Vorgang ist jedoch sehr langsam und nur begrenzt oft möglich.
- **Flash-ROM:**  
Werden genauso wie EEPROMs elektrisch programmiert. Die Daten werden nicht byteweise sondern blockweise ausgelesen und geschrieben.



# Schreib/Lese-Speicher (RAM, *Random Access Memory*)

---

- Random Access Memory (RAM): Zugriffszeit unabhängig vom Ort (Adresse) im Speicher
- Inhalt ist jeder Zeit lesbar und schreibbar.
- Inhalt ist flüchtig (*volatile*), d. h. er geht bei Abschalten der Versorgungsspannung verloren.

□ **Statische Schreib/Lese-Speicher (SRAM)**

□ **Dynamische Schreib/Lese-Speicher (DRAM)**

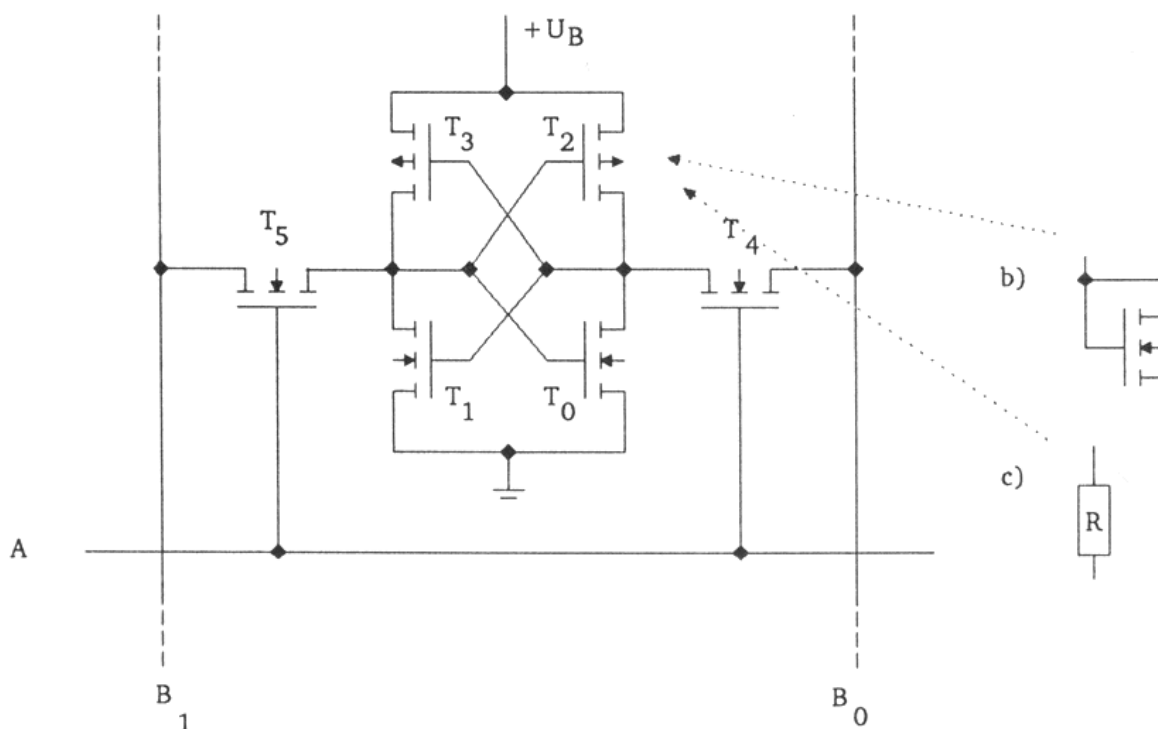


## □ Statische Schreib/Lese-Speicher (SRAM)

- Speichern Daten in Flipflops.
- Inhalt stabil, solange Versorgungsspannung vorhanden ist.
- Versionen:
  - aus Bipolar-Transistoren  
(schneller, aber großer Flächenbedarf)
  - aus MOS-Transistoren  
(langsamer, aber kleinerer Flächenbedarf)



## Statische CMOS-Speicherzellen



# Statische CMOS-Speicherzellen

Eine Statische CMOS-Speicherzelle besteht aus

- 2 kreuzweise rückgekoppelten Invertern ( $T_0, T_2$  bzw.  $T_1, T_3$ ).
- 2 Transistoren  $T_4$  und  $T_5$  zur Ankopplung an die Bitleitungen

➔ **6 Transistor Zelle**

## Vorteil der CMOS-Zelle:

nur zum Umschaltzeitpunkt fließt Strom

NMOS Zelle:

Inverter aus n-Kanal Transistor und Widerstand  
wird benutzt (Varianten b, c)



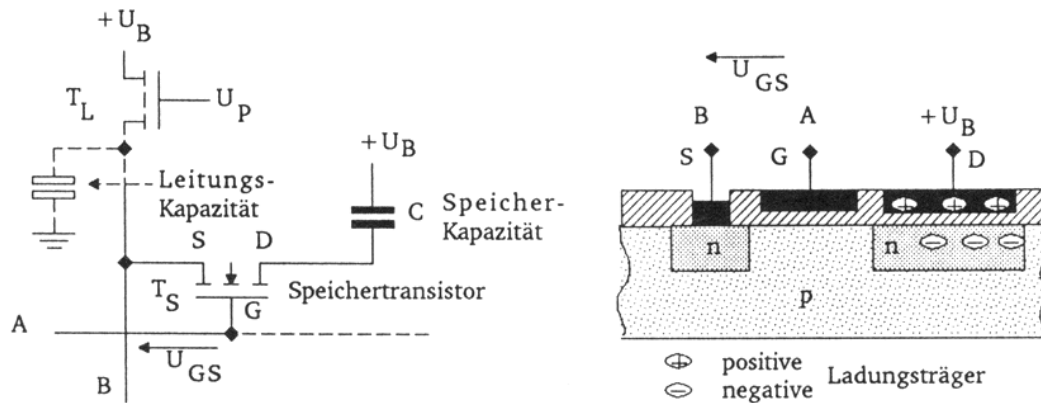
## Schreib/Lese-Speicher (RAM, *Random Access Memory*)

### □ Dynamische Schreib/Lese-Speicher (DRAM)

- Speichern Daten als elektrische Ladung in einem Kondensator
- Das Lesen bewirkt eine Entladung (*destructive read*)  
➔ nach dem Lesen muss wieder eingeschrieben werden
- Die Ladung geht nach einiger Zeit auch durch Leckströme verloren ➔ periodische Auffrischung erforderlich (*refresh*)
- Integrationsdichte höher als SRAM (ca. 4 mal)



# Dynamische MOS-Speicherzellen



1 Transistorzelle, kleinster Aufwand von allen betrachteten Zellen (1/4 Platzbedarf einer SRAM Zelle)

Die Information wird in einem Kondensator gespeichert.

Dieser Kondensator wird durch eine vergrößerte Drain Zone gebildet, die durch eine dünne Isolierschicht vom Drain Kontakt getrennt ist

Kapazität ca. 0,1- 0,5 pF → speichert 100 000- 150 000 Elektronen



# Dynamische MOS-Speicherzellen

## Lesen:

**Problem:** Speicherkapazität hat ungefähr die gleiche Größe wie parasitäre Leitungskapazität der Bitleitung

Das Lesen erfolgt durch Ladungsvergleich zwischen Leitungskapazität und Speicherkapazität

## Ablauf:

- Zunächst wird die Leitungskapazität vorgeladen (*precharge*), indem die Bitleitung kurz über  $T_L$  mit  $+U_B$  verbunden wird
- Zum Lesen wird dann über A eine positive Spannung an das Gate des Speichertransistors gelegt

Ist die Speicherkapazität geladen, so findet ein Ausgleich mit den Ladungsträgern der Bitleitung statt

Leseverstärker am Ende der Bitleitung mißt diesen Strom



# Dynamische MOS-Speicherzellen

## Schreiben:

Durch Anlegen einer positiven Spannung  $U_{GS}$  wird der Speichertransistor leitend.

Liegt nun die Bitleitung B auf Masse

- ➔ Elektronen werden auf die Drain Zone aufgebracht, der Speicherkondensator geladen

Liegt die Bitleitung B auf  $U_B$

- ➔ Elektronen werden von der Drain Zone abgesaugt, der Speicherkondensator entladen

*(Zuordnung log. 0 / log. 1 zu Ladung / keine Ladung ist rein willkürlich)*



## Schreib/Lese-Speicher (RAM, *Random Access Memory*)

### ❑ Quasi-statische Schreib/Lese-Speicher (iRAM, integrated RAM)

- dynamische Speicher, welche die Schaltung für das Wiederauffrischen mit auf dem Chip haben
  - ➔ sie sehen nach außen wie statische Speicher aus, sind jedoch im inneren dynamisch



## Nicht-flüchtige RAM's (NVRAM, *non volatile RAM*)

- Kombination aus Festwertspeicher und Schreib/Lese-Speicher auf einem Baustein.
- Jede Speicherzelle ist **doppelt** ausgelegt, einmal als **statische RAM-Zelle** und einmal als **EEPROM-Zelle**.
- Im Normalbetrieb werden die RAM-Zellen benutzt.
- Ein **spezielle Steuerschaltung** erlaubt jedoch das Kopieren des RAM-Inhalts in das EEPROM.



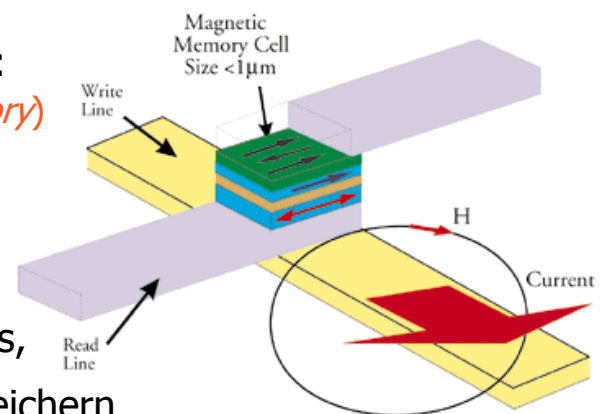
## VLSI Symposium in Kyoto, Japan, 10 -14. Juni 2003

IBM und Infineon mit neuer Speichertechnik:

**MRAM** (*Magnetoresistive Random Access Memory*)

soll die Vorteile der verschiedenen RAM Technologien vereinen:

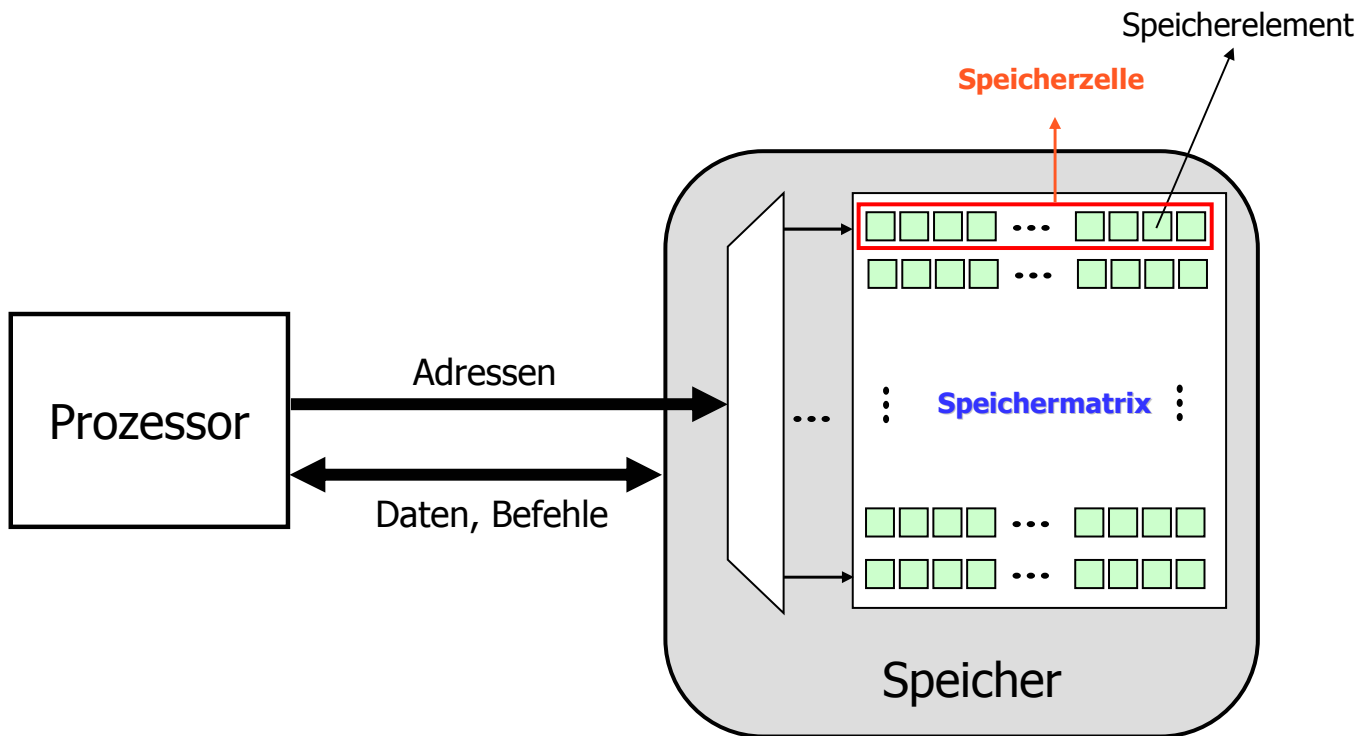
- hohe Geschwindigkeit von SRAMs,
- Dichte und die Kostenvorteile von DRAMs,
- nichtflüchtige Speicherung von Flash Speichern



- Magnetische statt elektronischer Ladungselemente für die Speicherung
- Gefertigter Chip mit 128 Kbit in 0.18 µm-Technologie und 1,4 µm<sup>2</sup> Fläche
- Mit der MRAMs kann z. B. der Bootvorgang bei PCs und Mobilgeräten entfallen.
- Ab 2005 soll es mit Massenproduktion nach einer gemeinsamen Erklärung von IBM und Infineon soweit sein.



# Allgemeine Struktur



## Begriffe

- ❑ **Speicherelement:** 1 Bit Speicher
- ❑ **Speicherzelle (-platz, -stelle):**  
feste Anzahl von Speicherelementen, die durch eine einzige Adresse ausgewählt werden, z. B. 8, 16, 32 Bit
- ❑ **Speicherwort:**  
maximale Anzahl von Speicherelementen, die in einem Buszyklus zwischen  $\mu P$  und Speicher übertragen werden können → Speicherwortbreite = Datenbusbreite
- ❑ **wahlfreier Zugriff:**  
jede Speicherzelle kann direkt angesprochen werden (ohne vorher andere Zellen ansprechen zu müssen)  
Die Selektion erfolgt über einen Adressdekoder.  
Die Adresse wird in einen 1-aus-n Code umgeformt



# Begriffe

## □ Organisation:

Die Organisation eines Speicherbausteins bzw. eines Speichers wird durch die Anzahl **n** seiner Speicherzellen und die Anzahl **m** der Speicherelemente / Zelle definiert

Angabe in der Form: **n x m Bit**

## Beispiel:

**4k x 8 Bit** Speicher enthält **4096** Speicherzellen je **8 Bit**

Aufbau aus **acht 4k x 1 Bit** Bausteinen oder **zwei 4k x 4** Bausteinen oder ...

Ein 16-MBit-DRAM mit Organisation 4Mx4, 2Mx8 oder 1Mx16



# Begriffe

## □ Kapazität:

Informationsmenge (in Bit), die im Speicher untergebracht werden kann: **n x m Bit**

## □ Größen zur Charakterisierung der Arbeitsgeschwindigkeit eines Speicherbausteins:

### ➤ Zugriffszeit (*access time*)

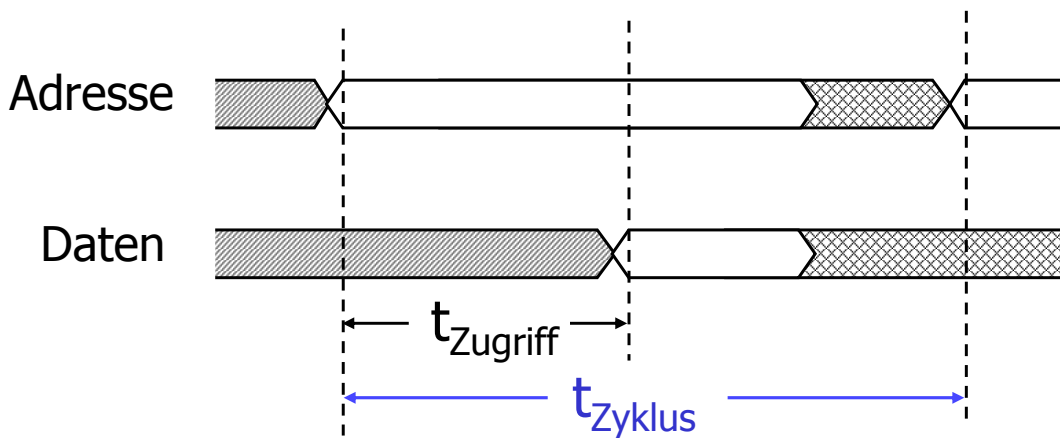
maximale Zeitdauer, die vom Anlegen einer Adresse an den Speicher bis zur Ausgabe der gewünschten Daten vergeht

### ➤ Zykluszeit (*cycle time*):

minimale Zeitdauer, die zwischen zwei hintereinander folgenden Umschaltungen von Adressen an den Speicher vergehen muss.



# Zugriffszeit / Zykluszeit



# Zugriffszeit / Zykluszeit

Die Zykluszeit kann erheblich länger als die Zugriffszeit sein!

## Gründe:

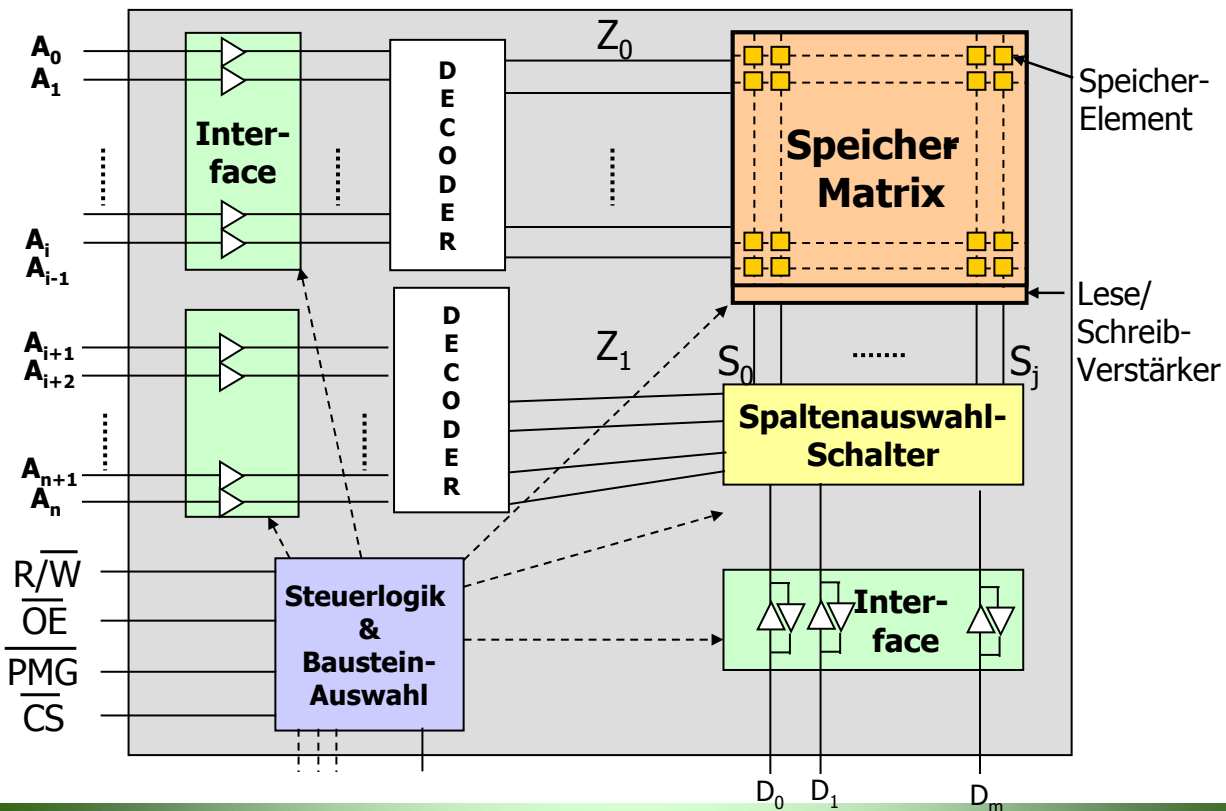
- Speicherzelle muss sich nach einem Zugriff "erholen"
- Bei einigen Speicherarten wird die Information durch das Auslesen zerstört und muss erst wieder eingeschrieben werden (refresh)

**Idealfall:** Zykluszeit = Zugriffszeit

**Realität:** meist Zykluszeit > Zugriffszeit



## 3.3 Organisation von Speicherbausteinen



## 3.3 Organisation von Speicherbausteinen

### Speichermatrix:

Matrixförmige Anordnung der Speicherzellen

Auswahl einer Zelle durch

- Zeilenauswahlleitungen  $Z_0 \dots Z_l$
- Spaltenauswahlleitungen  $S_0 \dots S_j$

Minimierung der Anzahl Auswahlleitungen durch eine quadratische Matrix, d. h.  $l \approx j$



## 3.3 Organisation von Speicherbausteinen

### Steuerlogik & Bausteinauswahl:

- ❑  **$\overline{CS}$  (*chip select*) oder CE (*chip enable*):** Bausteinauswahl, wird meist durch Adressdekoer aus den höchstwertigsten Adressbits erzeugt
- ❑  **$R/\overline{W}$  (*read/write*):** Auswahl Lesen oder Schreiben, nur bei RAMs, steuert die Richtung der Schreib/Leseverstärker und die Art der Zellenansteuerung
- ❑  **$\overline{OE}$  (*output enable*):** Aktiviert die Ausgangstreiber an der Datenbusschnittstelle (schaltet den Speicherbaustein als Quelle auf den Datenbus, Tristate Treiber)
- ❑  **$\overline{PGM}$  (*program*):** Neuprogrammieren des Bausteins, nur EPROMs, EEPROMs, NVRAMs, über  $U_p$  muß dann die Programmierspannung (12..21V) zugeführt werden



## 3.3 Organisation von Speicherbausteinen

Übersteigt die Anzahl der Speicherzellen pro Auswahlleitung einen bestimmten Wert → elektrische Probleme (Kapazitäten)

In diesem Fall: [Aufteilen der Matrix in Untermatrizen](#)

### Gewinnung der Zeilen- und Spaltenauswahlleitungen aus den Adressleitungen:

Niederwertige Adressbits bilden über Interface-Treiber (Treiberleistung, Pegelanpassung, Adresslatch) und einen 1-aus-n Decoder die Zeilenauswahlleitungen

→ sie wählen eine Zeile der Speichermatrix aus



## 3.3 Organisation von Speicherbausteinen

### Gewinnung der Zeilen- und Spaltenauswahlleitungen aus den Adressleitungen:

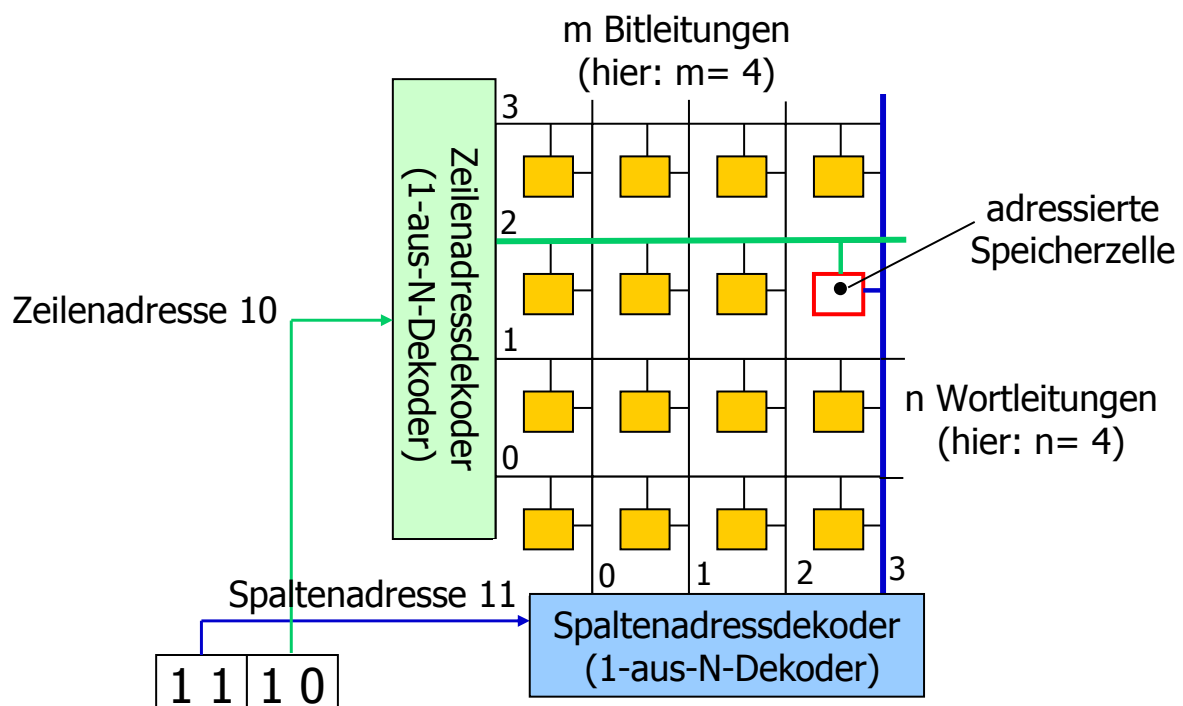
Durch die Auswahl einer ganzen Zeile in einer möglichst quadratischen Matrix werden i. A. erheblich mehr Speicherzellen angesprochen als aktuell ausgelesen werden müssen.

- ➔ Auswahl der anzusprechenden bzw. auszulesenden Spalten durch einen Spaltenauswahl-Schalter

Dieser wird über Treiber und Decoder von den höherwertigen Adressbits gesteuert



### Beispiel: Selektieren einer Speicherzelle aufgrund der gegebenen Speicheradresse

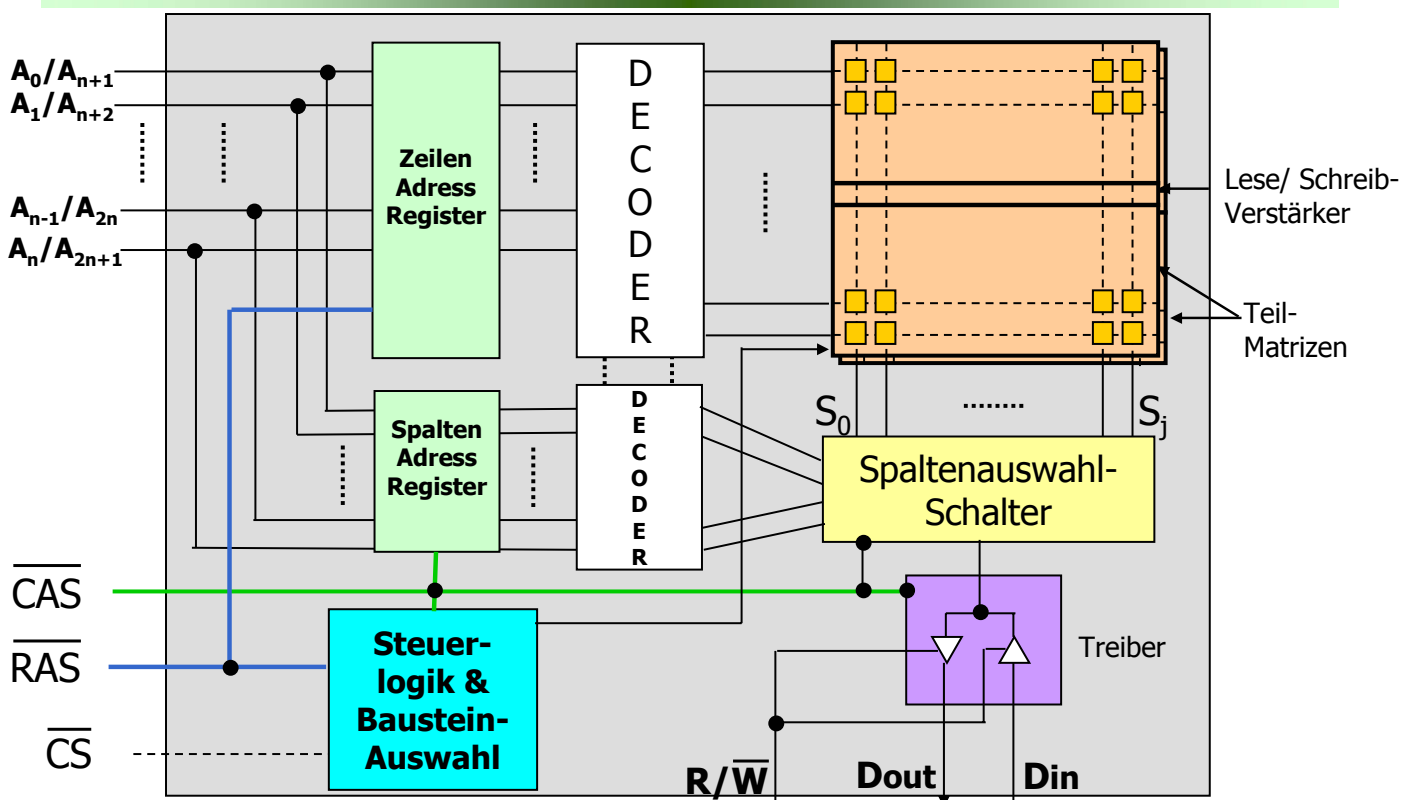


# Dynamische RAM-Bausteine

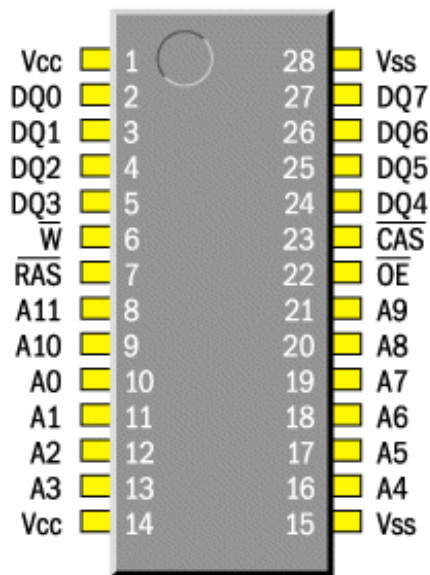
- Größte Integrationsdichte aller Halbleiterspeicher
- Bitweise organisiert, getrennter Dateneingang und Datenausgang
- Speicheradressen gemultiplext (spart Anschlüsse) und im Speicherchip in Registern zwischengespeichert:
  - Auswahl der Zeilenadresse über das  $\overline{\text{RAS}}$ -Signal (Row Address Select)
  - Auswahl der Spaltenadresse über das  $\overline{\text{CAS}}$ -Signal (Column Address Select)



## Dynamische RAM-Bausteine



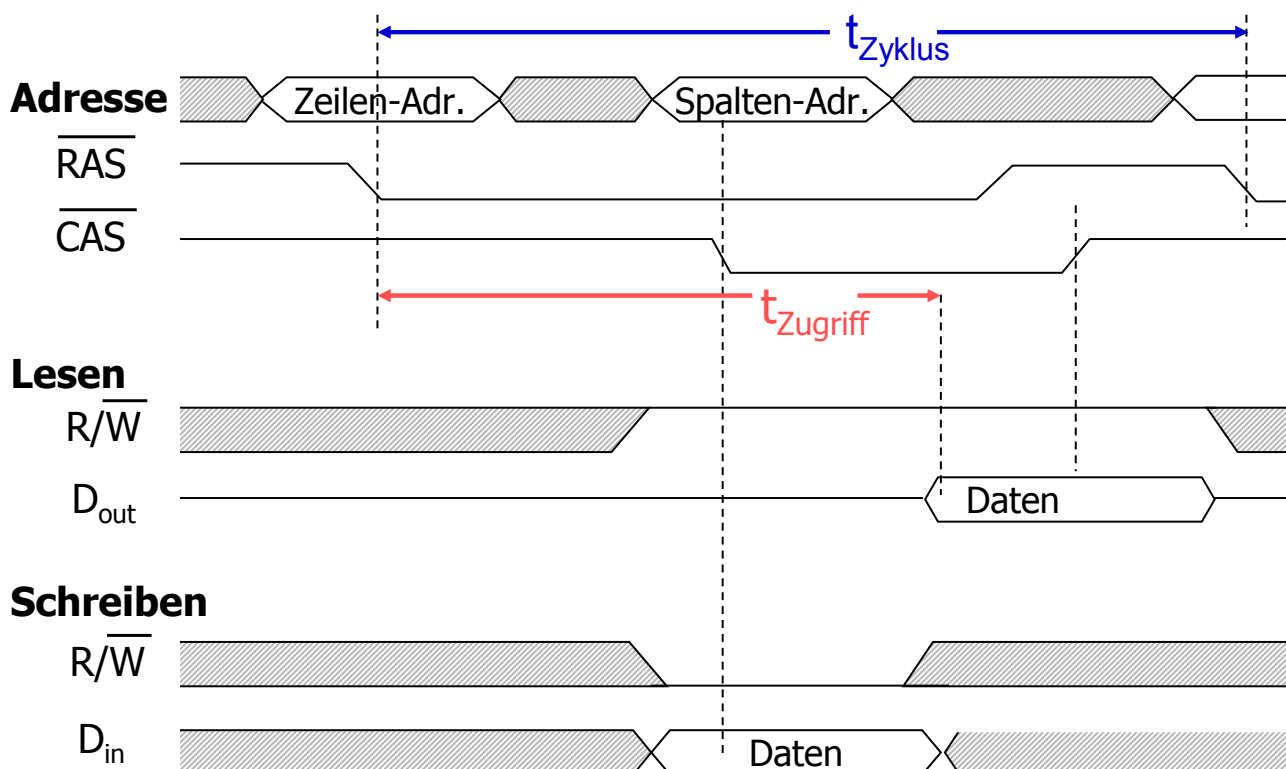
# Pin-Belegung DRAM-ICs mit 2Mx8 Organisation



Pin Name	Pin Function
A0 - A11	Address Inputs
DQ0 - 7	Data In/Out
Vss	Ground
$\overline{\text{RAS}}$	Row Address Strobe
$\overline{\text{CAS}}$	Column Address Strobe
$\overline{\text{W}}$	Read/Write Input
$\overline{\text{OE}}$	Data Output Enable
Vcc	Power (+5V)



## Adressierung eines dynamischen RAM-Bausteins



# Adressierung eines dynamischen RAM-Bausteins

---

## Adressieren:

negative  $\overline{\text{RAS}}$ -Flanke übernimmt die Zeilenadresse ins Adressregister, negative  $\overline{\text{CAS}}$ -Flanke die Spaltenadresse

## Lesen:

Daten erscheinen eine gewisse Zeit nach der negativen  $\overline{\text{CAS}}$ -Flanke am Ausgang, Zyklus wird durch  $\overline{\text{CAS}} = 1$  wieder beendet

## Schreiben:

Das zu schreibende Datum muss gleichzeitig mit Spaltenadresse am Dateneingang anliegen.  
Datenübernahme geschieht mit negativer  $\overline{\text{CAS}}$ -Flanke

