



Technische Informatik II im SS 2007

Aufgaben zu den Tutorien in der Woche
vom 02. bis 05. Juli 2007

Prof. Dr. J. Henkel
Dr.-Ing. Tamim Asfour

Haid-und-Neu-Str. 7
2. OG., Raum 313.1
D-76131 Karlsruhe

Telefon: +49-721-608-7379
Fax: +49-721-608-8270
Email: asfour@ira.uka.de
<http://i61www.ira.uka.de/users/asfour/TI>

Aufgabe 1

1. Geben Sie für das folgende MIPS-Programmstück den Inhalt des Zielregisters in hexadezimaler Schreibweise nach der Ausführung des jeweiligen Befehls an.

```
ori    $s1, $zero, 20
sll    $s2, $s1, 3
slti   $s3, $s2, 100
sub    $s4, $s3, $s2
lui    $s5, -7
```

2. Gegeben sei das folgende MIPS-Programmstück:

```
        .data
vec:    .word 8, 12, 16, 19, 2002, 0, 0, 0, 0, 0

        .text
main:   lw $t1, vec
        lw $t2, vec+4
        lw $t3, vec($t1)
        lw $t4, vec+4($t1)
```

- (a) Geben Sie die Inhalte der Register `$t1`, `$t2`, `$t3` und `$t4` in hexadezimaler Schreibweise nach der Ausführung des obigen Programmcodes an.
- (b) Geben Sie den MIPS-Code an, mit dem man die Adresse von `vec` im Register `$s0` speichert.
- (c) Schreiben Sie eine Programmschleife, welche die ersten fünf Elemente aus `vec` ausgibt. Die Elemente sollen dabei durch ein Leerzeichen getrennt sein.

Hinweis: In Tabelle 1 sind die Nummern und die Argumente der benötigten Systemaufrufe angegeben.

3. Was ist ein Pseudobefehl? Und was ist eine Assemblerdirektive?

Vervollständigen Sie diese Tabelle im Lösungsblatt. Verwenden Sie dabei **Miss** für Cache-Miss und **Hit** für Cache-Hit. Geben Sie in der letzten Zeile der Tabelle an, ob der entsprechende Cacheblock in den Hauptspeicher zurückkopiert werden muss (**ja**) oder nicht (**nein**).

Aufgabe 3

Gegeben sei eine Speicherverwaltungseinheit (MMU) mit einer Seitengröße von 1 KByte, 8 virtuellen Seiten und 4 physikalischen Seiten (Frames). Der aktuelle Ausschnitt der Seitentabelle ist in Tabelle 2 angegeben.

Virtuelle Seitennummer	Physikalische Seitennummer
0	3
1	1
2	-
3	-
4	2
5	-
6	0
7	-

Tabelle 2: Seitentabelle

1. Skizzieren Sie die Unterteilung der 32-Bit breiten virtuellen Adresse.
2. Ermitteln Sie die physikalischen Adressen zu den folgenden virtuellen Adressen:

1023, 1024, 4204, 6200

Ein Mikroprozessorsystem bestehend aus einem Prozessor (CPU), einer Speicherverwaltungseinheit (MMU) und einem Hauptspeicher soll konzipiert werden. Zur **Unterstützung der Adressberechnung** soll ein **voll-assoziativer Cache-Speicher** eingesetzt werden. Zwei TI-Studenten wurden mit dieser Aufgabe beauftragt und lieferten zwei Entwürfe zur Einbindung des Cache-Speichers in das System (siehe Bild 1).

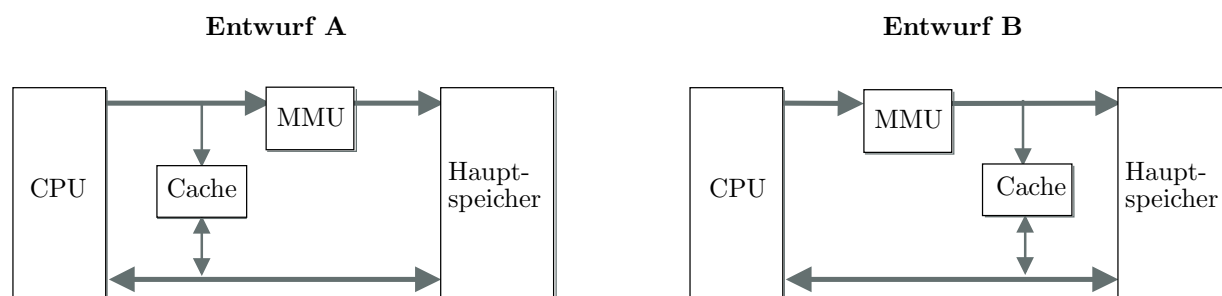


Abbildung 1: Rechnersystem mit CPU, MMU, Hauptspeicher und Cache-Speicher

3. Welche der beiden Entwürfe würde die Adressberechnung beschleunigen? Begründen Sie Ihre Antwort. (Keine Punkte ohne Begründung).

4. Der Cache-Speicher soll die letzten 32 Einträge aus dem Seitentabellen-Verzeichnis und der Seitentabelle speichern.

Wie breit ist der *Tag* eines Cache-Eintrags? Gehen Sie dabei von einer n -Bit breiten virtuellen Adresse, einer m -Bit breiten physikalischen Adresse und einer Seitengröße von 4 KByte aus.