

Ankündigungen

- **Einführung in die Technische Informatik I für Informationswirte**

Termin wird am Donnerstag in der Vorlesung und auf der TI-Homepage bekannt gegeben.

- **Scheine zu TI-1 werden am Donnerstag nach den Vorlesung ausgeteilt.**



Kapitel 1

Prinzipieller Aufbau eines Prozessors

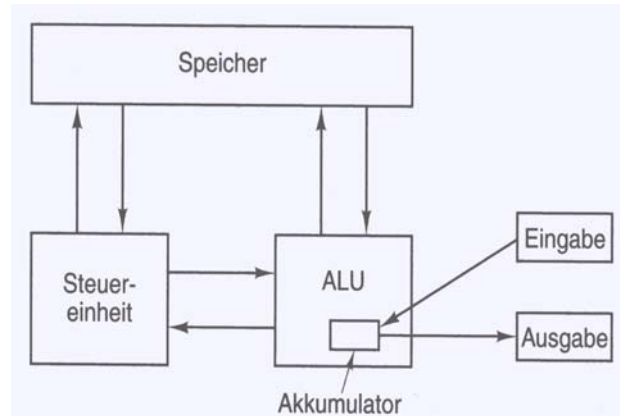


Das von-Neumann-Konzept

Das **von-Neumann-Konzept** ist die Grundlage der in dieser Vorlesung vorgestellten Hardware-Architektur eines Digitalrechner.

Es besteht aus den Komponenten:

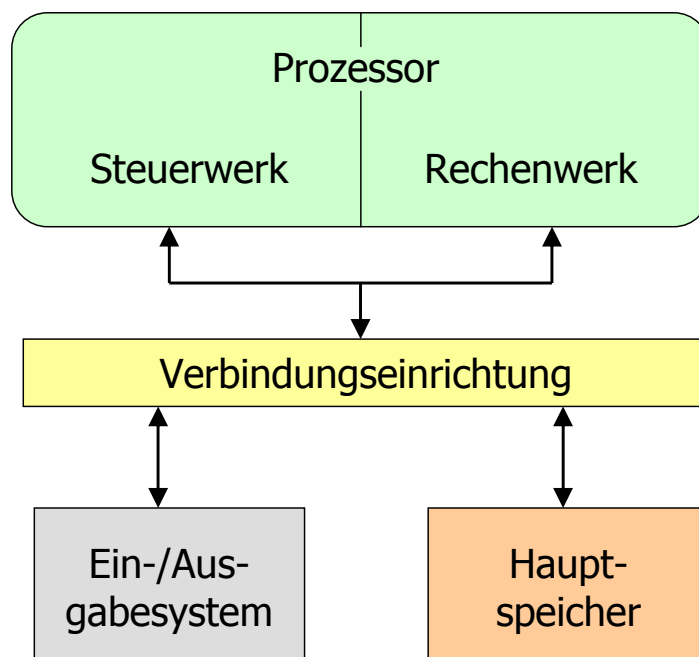
- Zentraleinheit
- Speicher
- Ein-/Ausgabe-Einheiten



Ursprüngliche von-Neumann-Maschine



Von-Neumann-Rechner



1.1 Aufbau eines Digitalrechner

In der Vorlesung TI2:

vor allem Rechner-Hardware

Software-Aspekte nur auf der niedrigsten Ebene
(Befehlssätze, maschinennahe Programmierung,
Speicherverwaltung)



1.1 Aufbau eines Digitalrechner

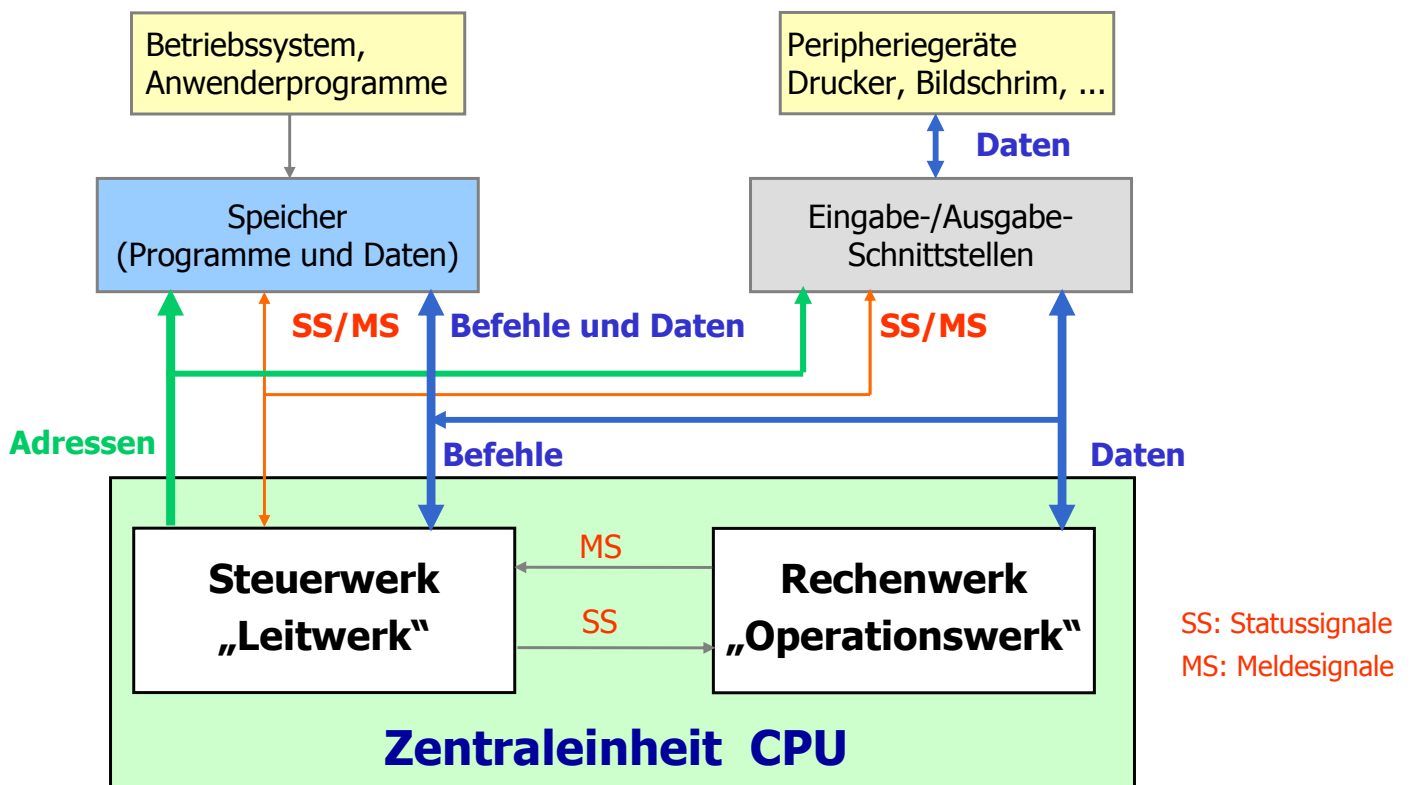
Rechner aus Hardware-Sicht:

Digitales, elektronisches System, in dem Daten als
binärcodierte Information eingegeben, dort
gespeichert und verarbeitet werden;

Die Verarbeitung der Daten erfolgt nach einem
vorgegebenen Programm aus Maschinenbefehlen,
welche die jeweils nächste Operation und die
benötigten Operanden bestimmen.



Digitalrechner nach dem von-Neumann Konzept



1.2 Definitionen und Erklärungen

❑ Zentraleinheit

(central processing unit, CPU, Prozessor)

Verarbeitet Daten gemäß eines Programms, besteht aus Leitwerk und Rechenwerk.

❑ Leitwerk

(Steuerwerk, control unit, CU)

Holt die Befehle eines Programms aus dem Speicher, entschlüsselt sie und steuert ihre Ausführung in der verlangten Reihenfolge durch Steuer- und Synchronisier-Signale.



1.2 Definitionen und Erklärungen

❑ **Rechenwerk**

(Operationswerk, Ausführungseinheit, ALU)

Führt arithmetisch/logische Operationen aus, wird durch Steuersignale des Leitwerks beeinflusst und liefert seinerseits Meldesignale an das Leitwerk zurück.

❑ **Speicher**

Dort werden Programme und Daten aufbewahrt (von-Neumann-Konzept)

Alternativ: **Harvard-Architektur** mit getrenntem Programm- und Datenspeicher.



1.2 Definitionen und Erklärungen

Der Speicher läßt sich unterteilen in Peripherie- und Arbeitsspeicher.

❑ **Peripheriespeicher (Massenspeicher)**

Speicher zur permanenten Aufbewahrung und Archivierung großer Datenmengen, langsamer Datenzugriff.

❑ **Arbeitsspeicher (Hauptspeicher)**

Linear geordnete Liste von Speicherzellen zur Aufnahme von Befehlen und Operanden, schneller Datenzugriff, Inhalt nach Abschaltung des Rechners flüchtig.



1.2 Definitionen und Erklärungen

Jede Speicherzelle ist eindeutig durch ihre Nummer (Adresse) identifizierbar.

☐ **Adresse**

Binärcodierte Information zur eindeutigen Auswahl (Adressierung) eines bestimmten Speicherwortes, Registers oder einer Schnittstelle als Quelle oder Ziel eines Datentransportes (memory mapped).

Den einzelnen Speicherzellen ist nicht anzusehen, welchen Typ von Information sie enthält (beim von-Neumann-Konzept).

Alternativ: Typenkennung, tagged architectures.



1.2 Definitionen und Erklärungen

☐ **Adreßleitungen**

Diejenigen Leitungen, auf denen die Adressinformation transportiert wird (unidirektional).

☐ **Datenleitungen**

Transportieren Daten und Befehle von/zum Prozessor (bidirektional).

☐ **Steuerleitungen**

Geben Steuerinformationen von/zum Prozessor (uni- oder bidirektional).



1.2 Definitionen und Erklärungen

❑ **Bus (Sammelschiene)**

Verbindung mehrere Komponenten eines Rechners über dieselben Leitungen; dabei darf zu einem Zeitpunkt immer nur eine Komponente Informationen auf die Leitungen legen.

➤ **Adreßbus, Datenbus, Steuerbus**

Als Gesamtheit: **Systembus**



1.2 Definitionen und Erklärungen

❑ **Ein-/Ausgabe-Einheiten** (Peripheriegeräte)

Geräte zur Eingabe von Daten und Programmen und zur Ausgabe der verarbeiteten Daten.
(Bildschirme, Drucker, Terminals, ...)

Diese Geräte sind über Ein-/Ausgabe-Schnittstellen mit dem Rechner verbunden.

Die Verbindung der Schnittstellen mit dem Prozessor (und zu den Peripheriegeräten) geschieht durch Adreß-, Daten- und Steuerleitungen.



Definition eines Mikrorechnersystems

Mikroprozessor (μP):

Die Zentraleinheit eines Digitalrechner, die auf einem Chip untergebracht ist.

Ein **μP** besteht aus:

- Steuerwerk
- Operationswerk
- Schnittstelle zum Systembus

Oft zusätzlich:

- On-Chip-Cache-Speicher und
- Speicherverwaltungseinheit



Definition eines Mikrorechnersystems

☐ **Mikroprogrammierter μP :**

Enthält ein Mikroprogrammsteuerwerk

Mikroprogramme sind vom Hersteller in einem Festwertspeicher untergebracht und vom Benutzer nicht änderbar

Beispiele: 80x86, Pentium, 680x0

☐ **Mikroprogrammierbarer μP :**

Mikroprogramme sind vom Benutzer änderbar

Beispiele: Bit-Slice-Prozessoren (heute selten)



Definition eines Mikrorechnersystems

- ❑ **Mikroprozessor mit festverdrahtetem Schaltwerk:**

Beispiel: RISC-Prozessoren

- ❑ **n-bit- μ P (n=8, 16, 32, 64):**

n ist Breite des Datenbusses *oder* Breite der allgemeinen Register (die Breite der Information, die in einem Schritt von der ALU des Operationswerks verarbeitet werden kann)



Mikroprozessoren für spezielle Anwendungen

Neben Universal-Mikroprozessoren (Standard-Mikroprozessoren) existieren auch Mikroprozessoren für spezielle Anwendungen:

- ❑ Microcontroller
- ❑ Signalprozessoren
- ❑ Graphikprozessoren



Definition eines Mikrorechnersystems

Mikroprozessor-System:

Digitales System, das einen Mikroprozessor als zentrale Steuer- und/oder Recheneinheit besitzt

Mikrorechner (Mikrocomputer):

Enthält einen Mikroprozessor, der über den Systembus mit Speicher, Cotrollern und Schnittstellen für Peripherie-Geräte verbunden ist.



Definition eines Mikrorechnersystems

Spezialfälle von Mikrorechnern:

- ❑ Ein-Chip-Mikrocomputer (SoC : System on Chip)
Vollständiges anwendungsspezifisches System mit alle Komponenten auf einem einzigen Chip.
- ❑ Ein-Platinen-Mikrocomputer
Alle Komponenten des Mikrocomputers sind auf einer Platine aufgebaut

Mikrorechner-System:

**Mikrorechner mit angeschlossenen Peripheriegeräten
(Bildschirm, Tastatur, Mause, Drucker, ...)**



1.3 Historische Entwicklung der Rechenmaschinen

- **1642: Pascal**
- **1672: G. W. Leibniz**
- **1722-74: M. Hahn**
- **1792-1871: Charles Babbage**
Difference Engine und Analytical Engine
- **1936: Konrad Zuse (Z1, Z2, Z3, Z4)**
Erster vollautomatischer, programmgesteuerter Rechner der Welt
- **1938: Howard Aiken (Havard Mark I)**
- **1943-1949: P. Eckert, J.W. Mauchly**
ENIAC (Electronic Numerical Integrator And Computer)
- **1944-1946: Von Neumann, A.W. Burcks, H.H. Goldstine**
EDVAC (Electronic Discrete Variable Automatic Computer)



1.3 Historische Entwicklung der Rechenmaschinen

1642: Pascal

Erste funktionierende Rechenmaschine (Addition und Subtraktion)
Rein mechanisch, Betrieben mit einer Handkurbel

1672: G. W. Leibniz

4 Grundrechenarten
Mechanik nicht voll funktionsfähig

1722-74: M. Hahn

Mechanische Problem weitgehend gelöst.



1.3 Historische Entwicklung der Rechenmaschinen

Charles Babbage (1792-1871)

❑ Difference Engine:

- Addition und Subtraktion
- Diente der Berechnung von Zahlentabellen für die Schifffavigation
- Führt nur einen einzigen Algorithmus aus (Methode der finiten Differenzen mit Hilfe von Polynomen)
- Ergebnisse wurden auf einer Kupferplatte gestanzt.



1.3 Historische Entwicklung der Rechenmaschinen

Charles Babbage (1792-1871)

❑ Analytical Engine:

- Erster Rechenautomat aus Speicher (Säulen), Recheneinheit (Mühle), Eingabeeinheit (Kartenleser) und Ausgabe
- Erstmals Programmsteuerung über Lochkarten
- Möglichkeit im Programm zu springen
- Ergebnisse wurden auf einer Kupferplatte gestanzt
- Enthält bereits die meitsen Funktionsbaugruppen moderner Rechenautomaten
- Software: einfache Assemblersprache



1.3 Historische Entwicklung der Rechenmaschinen

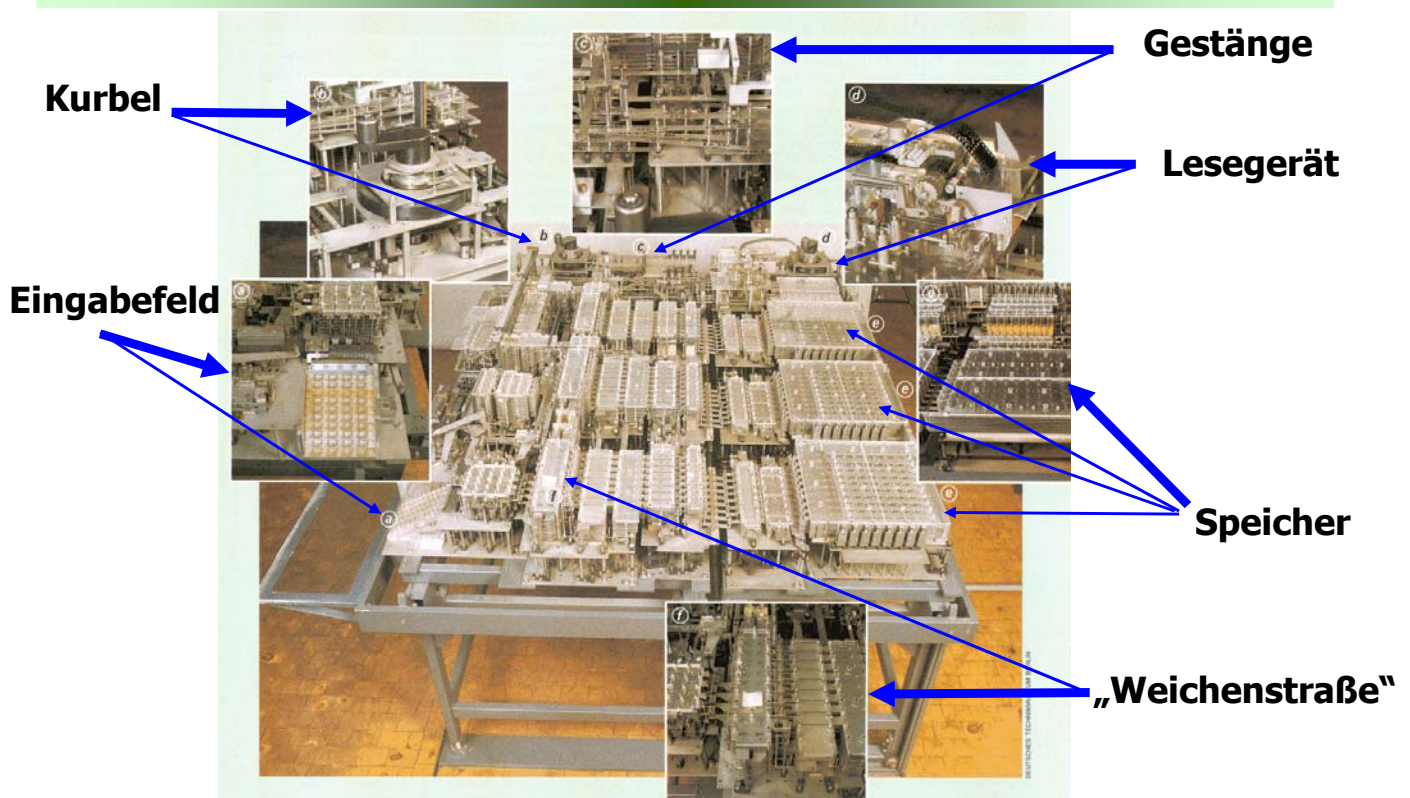
1936: Konrad Zuse

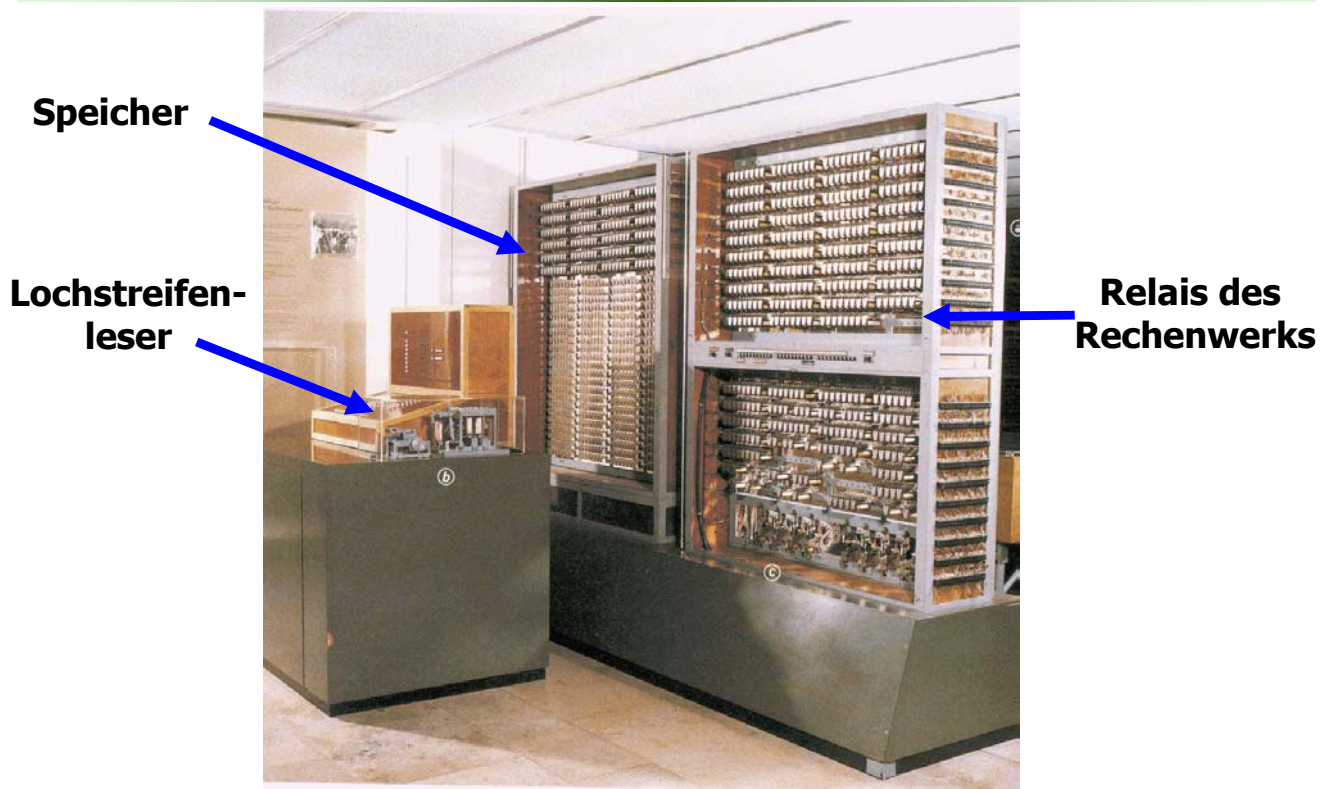
Baute eine Reihe von programmgesteuerten Rechenmaschinen mittels elektromagnetischer Relais

- Speicher, Eingabewerk, Rechenwerk, Plansteuerwerk und Ausgabewerk.
- Anwendung des Dualsystems und der halblogarithm. Zahlendarstellung (Gleitkommadarstellung) sowie des Aussagenkalküls
- Gebaute Maschinen (Z1, Z2, Z3 und Z4)
- Die Maschinen wurden 1944 zerstört
Nachbau der Z3 steht im Deutschen Museum in München



Z1





1.3 Historische Entwicklung der Rechenmaschinen

1938: Howard Aiken

- Erster programmgesteuerter Rechenautomat der USA (Havard Mark I)
- Dezimales Zählrad-Prinzip
- Sehr große Maschine
- Relativ schnell
 - Addition von 23-stelligen Dezimalzahlen in 0,3 sec
 - Multiplikation in 65 sec und Division in 115 sec
- Zur Ein- und Ausgabe wurden gelochte Paperbänder benutzt
- Mark II: Aikens Nachfolgermodell



1.3 Historische Entwicklung der Rechenmaschinen

1943-1949: P. Eckert, J.W. Mauchly

- Bau des Rechenautomaten **ENIAC (Electronic Numerical Integrator And Computer)**
- Erstmals Anwendung elektronischer Schaltelemente
- 17468 Elektronenröhren, 1500 Relais
- Gewicht: 30 Tonnen, Leistungsverbrauch: 174 KW
- Addition von 10-stelligen Zahlen in 0,2 msec
Multiplikation in 2,8 msec
- Programmierung durch Verschalten von Schalttafeln
(Sehr umständlich und fehleranfällig)



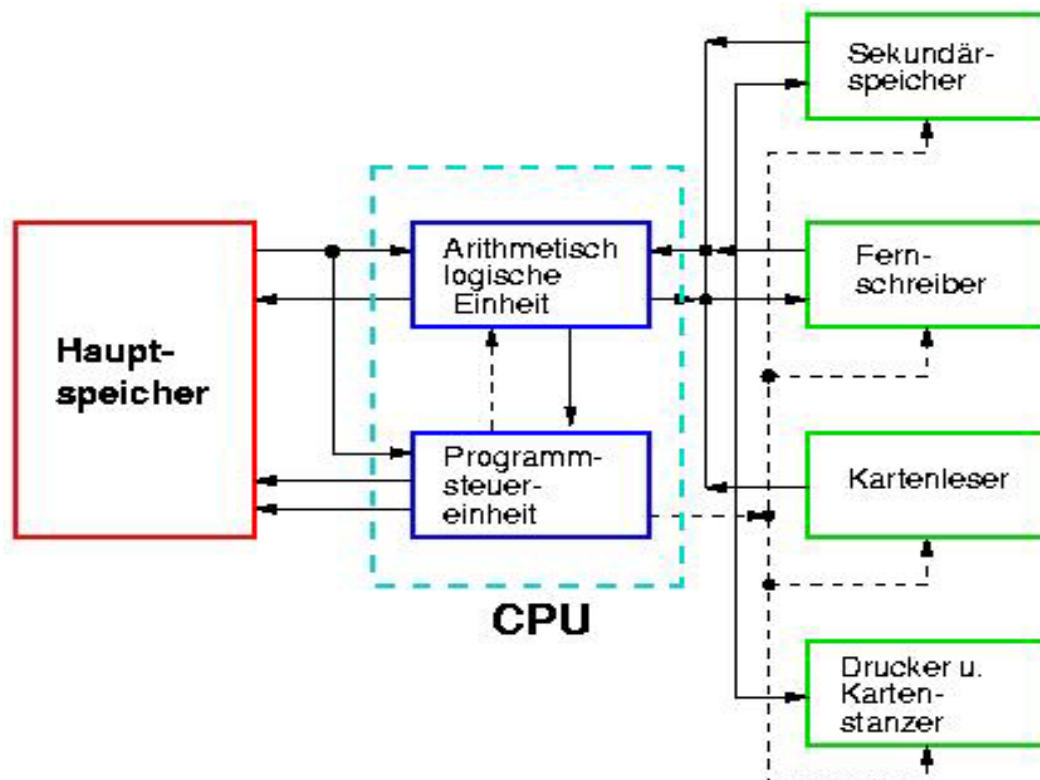
1.3 Historische Entwicklung der Rechenmaschinen

1944-1946: Von Neumann, A.W. Burcks, H.H. Goldstine

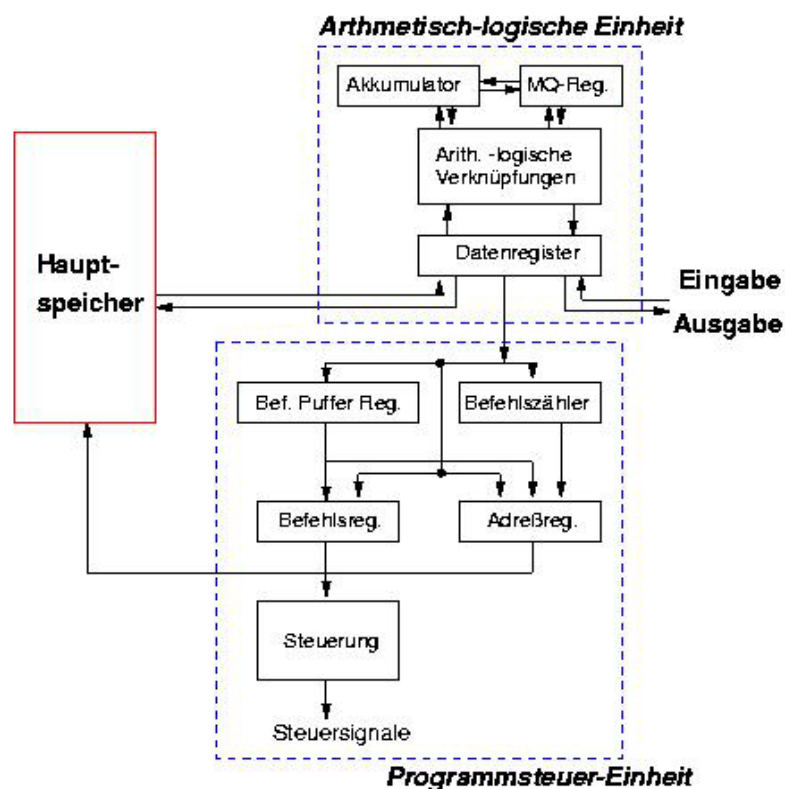
- Bau des Rechenautomaten **EDVAC (Electronic Discrete Variable Automatic Computer)**
- Erster Anwendung elektronischer Schaltelemente
- Programm mit Befehlen und Adressen wurde erstmals intern gespeichert und in der gleichen Art kodiert und gespeichert.
- Adressen und Befehle konnten von der Maschine selbst verändert werden
- Aufgrund bedingter Befehle war die Maschine in der Lage, den Programmablauf in Abhängigkeit von Zwischenergebnissen zu ändern



Von Neumann, A.W. Burcks, H.H. Goldstine: EDVAC



Von-Neumanns Version der EDVAC: IAS-Maschine



1.3 Historische Entwicklung von Mikrorechnern

1. Generation

Jap. Firma Busicom beauftragt die gerade 3 Jahre alte Firma Intel, einen Chipsatz für Tischrechner zu entwickeln

Da Intel bisher Speicher entwickelt (erstes EPROM 1701 im Jahr 1969), wurde hierfür als Konzept keine festverdrahtete Logik, sondern eine programmierbare Logik gewählt

- Intel entwickelt einen Chipsatz bestehend aus 3 Chips mit je ca. 2000 MOS-Transistoren.

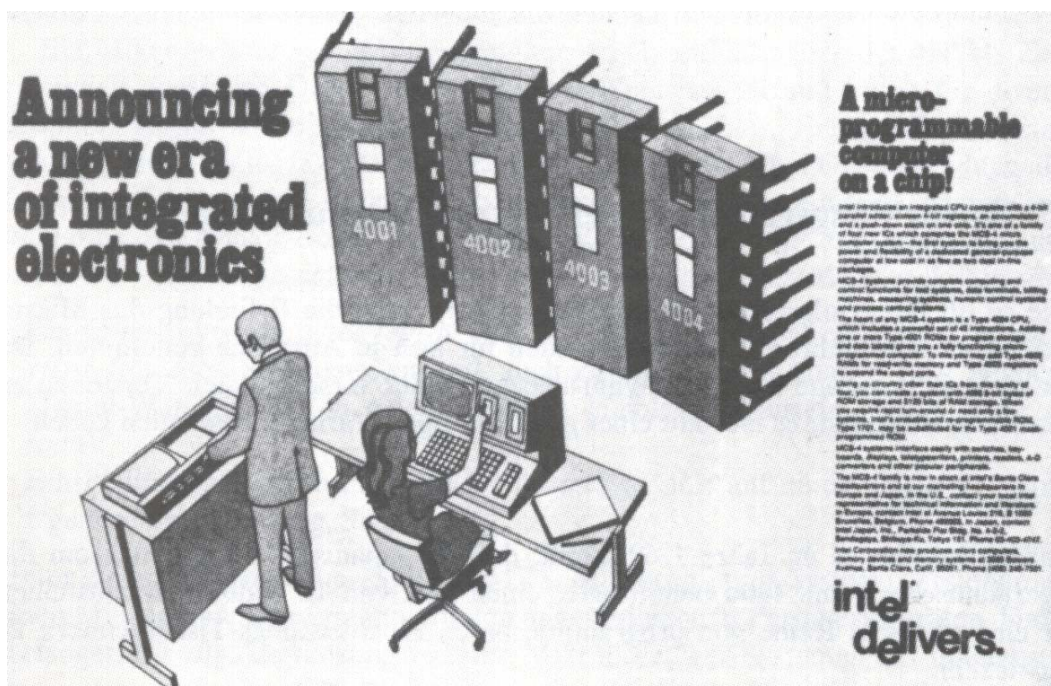
Komponenten:

Festwertspeicher, RAM, Zentraleinheit (CPU), 4 Bit-BCD-ALU, 4 Bit Datenbus, 12 Bit Adressbus, 45 Befehle

Entwicklungszeit ca. 9 Mannmonate



Die erste μ P-Anzeige (15. Nov. 1971)



Fachzeitschrift: *Electronics News*



1.3 Historische Entwicklung

1. Generation

Die Zentraleinheit wurde 1971 unter der Bezeichnung **Intel 4004** als Kernstück eines Mikrorechnersystems (MCS-4) angeboten.

Zum Vergleich:

Eine festverdrahtete Lösung für das gleiche Problem (von Busicom selbst entwickelt) bestand aus:

12 Bausteinen

jeweils ca. 2000 Transistoren

jeweils ca. 40 Anschlüsse



1.3 Historische Entwicklung

Fast gleichzeitig beauftragte die Firma Datapoint Corporation die Firmen Intel und Texas Instruments mit der Entwicklung eines Bausteins zur Steuerung eines Terminals.

Intel hatte Erfolg, der Baustein war jedoch um Faktor 10 zu langsam.

Dieser Baustein wurde von Intel 1972 unter der Bezeichnung **8008** als universelle 8-Bit CPU vertrieben.

Kenndaten: ca. 3000 Transistoren
PMOS Technologie (2 Versorgungsspannungen)
8 Bit Datenbus, 14 Bit Adressbus (16 kByte)
6 Register (8 Bit), 45 Befehle
Instruktionszeit ca. 30 Mikrosekunden
18 Anschlüsse



1.3 Historische Entwicklung

2. Generation

1972: Intel 8080

- 8 Bit Prozessor mit erhöhter Rechengeschwindigkeit
- Instruktionszeit ca. 2 Mikrosekunden
- ca. 5000 Transistoren
- ab 1974 in NMOS-Technologie (einfache 5 Volt Versorgungsspannung)
- ca. 75 Befehle (dazu Unterstützung externer Unterbrechungen und Unterprogrammgesprünge)
- 8 Bit Datenbus, 16 Bit Adressbus (64kByte)
- Industriestandard



1.3 Historische Entwicklung

2. Generation

1974: Motorola 6800

8 Bit Prozessor in NMOS-Technologie
ca. 5000 Transistoren

1974: Erste Spezialprozessoren

(z.B. zur Floppy-Disk oder Bildschirmsteuerung)

Erster CMOS-Prozessor
von Rockwell (**RCA1802**)



1.3 Historische Entwicklung

3. Generation

1974: Erster 16 Bit Prozessor PACE von National Semiconductor

PMOS Technologie, Instruktionszeit 10 Mikrosekunden
(Als SUPER-PACE in Bipolartechnologie erheblich schneller,
aber auch wesentlich höherer Stromverbrauch)

1976: TMS 9000 von Texas Instruments

16 Bit Prozessor, verwaltete seine Register im
Schreib-Lesespeicher

➤ rascher Programmwechsel, aber langsame Verarbeitungszeit



1.3 Historische Entwicklung

3. Generation

1976: Z80 der Firma Zilog

8 Bit Prozessor, aufwärtskompatibel zu 8080, aber mit
höherer Leistungsfähigkeit und mehr Befehlen

1976: 8085 von Intel

Erweiterung des 8080 mit verbesserter
Unterbrechungsverwaltung, verbesserter
Peripheriesteuerung



1.3 Historische Entwicklung

3. Generation

1978: 8086 von Intel

- Erster 16 Bit Prozessor von Intel
- HMOS Technologie (High Density MOS)
- ca. 27000 Transistoren (aber 30% mehr Fläche als ein 8080)
- virtuelle Speicherverwaltung
- 16 Bit Datenbus, 20 Bit Adressbus (1MByte)



1.3 Historische Entwicklung

3. Generation

1979: 68000 von Motorola

- 16 Bit Prozessor, intern jedoch 32 Bit Registersatz
- HMOS Technologie
- ca. 68000 Transistoren
- 24 Bit Adressbus (16 MByte)
- orthogonaler Befehlsatz wie bei Minicomputern üblich

1979: Z8000 von Zilog

16 Bit Prozessor, Nachfolger des Z80



1.3 Historische Entwicklung

3. Generation

1979: Erste Signalprozessoren, z.B. 2929 von Intel

spezialisiert auf die Verarbeitung von analogen Signalen, die durch interne AD/DA-Wandler digitalisiert werden.

1979 existierten ca. 80 verschiedene Mikroprozessoren, es wurden bis dahin ca. 75 Millionen Mikroprozessoren verkauft.



1.3 Historische Entwicklung

3. Generation

1982: 80286 von Intel

- Nach dem 80186 der zweite Nachfolger des 8086
- ca. 130000 Transistoren
- erhöhter Adressraum (16 Mbyte)
- virtuelle Betriebsarten für Multitasking-Umgebungen
- Jahrelang in vielen Personal Computern (z. B. IBM AT) eingesetzt



1.3 Historische Entwicklung

4. Generation

1981: 32 Bit Prozessor iAPX432 von Intel

- 3 Bausteine, insgesamt ca. 219000 Transistoren
- HMOS Technologie
- 16 Mbyte Adressraum
- ca. 100 Mannjahre Entwicklungsaufwand
- konnte sich auf dem Markt jedoch nicht durchsetzen
- Herstellung eingestellt.



1.3 Historische Entwicklung

4. Generation

1985: 80386 von Intel

- 32 Bit Prozessor
- CMOS Technologie
- 275 000 Transistoren
- virtuelle Speicherverwaltung, Segmentierung, Paging

1986: 68020 von Motorola

- 32 Bit Prozessor
- ca. 200 000 Transistoren
- linearer Adressraum



1.3 Historische Entwicklung

4. Generation

1989: 80486 von Intel

- Erweiterung des 80386 um integrierten Cache und integrierten numerischen Coprozessor
- ca. 1 200 000 Transistoren
- Unterstützung mehrerer Prozessoren

1990: 68040 von Motorola

- Nach 68030 zweiter Nachfolger des 68000
- ca. 1 200 000 Transistoren



1.3 Historische Entwicklung

4. Generation

1992: Pentium von Intel

- Nachfolger des 80486
- ca. 3 100 000 Transistoren
- intern teilweise 64 Bit Architektur
- 2 fach Superskalar, Code und Datencache

1992-95: Power PC's MPC601, MPC603, MPC604, MPC620 von Motorola/IBM/Apple

- RISC Architektur, teilweise 64 Bit Architektur (Daten)
- Superskalar
- ca. 4 000 000 Transistoren (MPC620)



1.3 Historische Entwicklung

5. Generation

1995: Pentium Pro von Intel

- Nachfolger des Pentium
- ganz anderer interner Aufbau
- 3-5 fach Superskalar
- ca. 14 stufige Befehlspipeline
- 5 500 000 Transistoren
- Zwei eingebaute Cache-Speicher-Ebenen
- speculative execution, dynamic branch prediction



1.3 Historische Entwicklung

5. Generation

1996: Pentium II

- Nachfolger vom Pentium Pro mit speziellen Multimedia-Erweiterungen (MMX)
- 3-5 fach Superskalar
- ca. 14 stufige Befehlspipeline
- 7 500 000 Transistoren
- speculative execution, dynamic branch prediction



1.3 Historische Entwicklung

5. Generation

1998: Pentium III

- Nachfolger vom Pentium II mit Internet Streaming SIMD Extension (ISSE)
(SIMD = Single Instruction, Multiple Data)
- 16 KByte Daten- und Befehls-Cache mit vollem Prozessortakt.
2nd-Level-Cache mit halbem Prozessortakt
- Anbindung an die Außenwelt über einen mit 100 - 133 MHz arbeitenden Systembus.



1.3 Historische Entwicklung

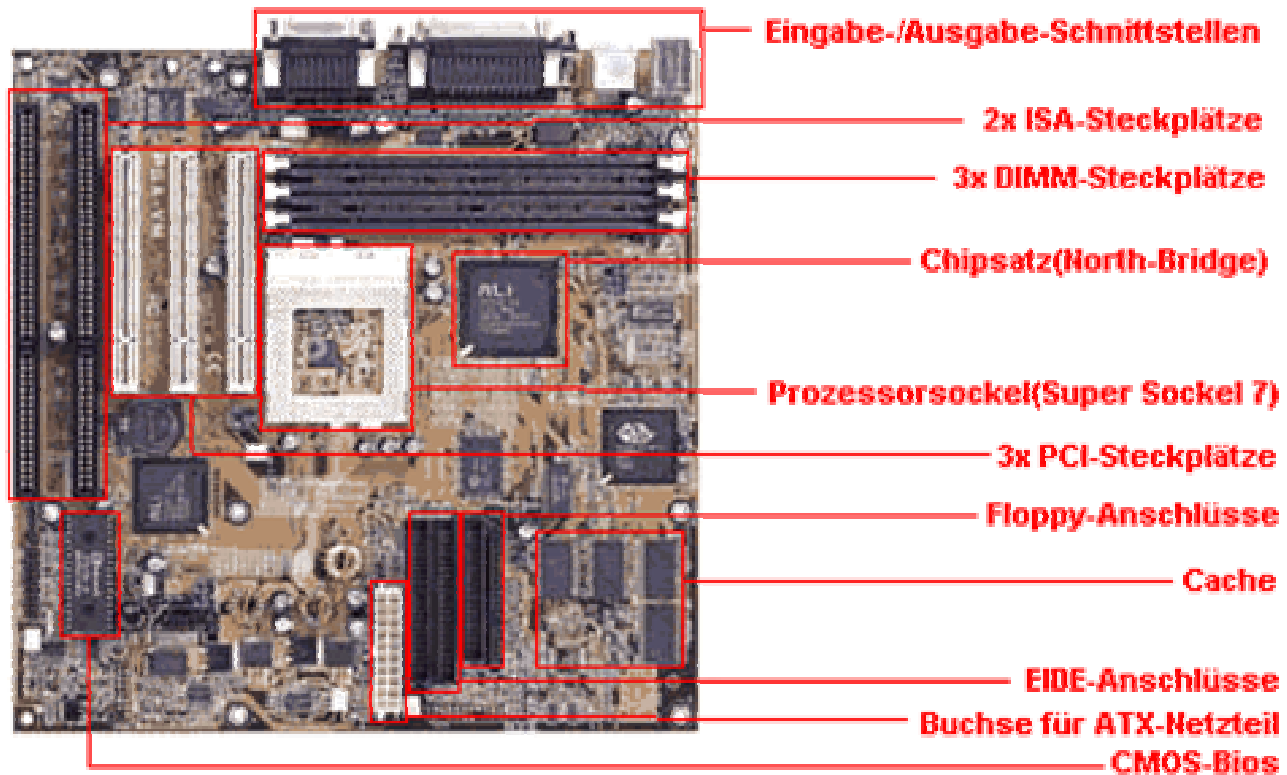
5. Generation

2000: Pentium 4: komplette Neuentwicklung von Intel

- Intel® NetBurst™ micro-architecture
- Nachfolger vom Pentium III mit Internet Streaming SIMD Extensions 2
- Enhanced floating point/multimedia
- Advanced dynamic execution
- Hyper-pipelined technology
- Execution trace cache and advanced transfer cache
- 400MHz System Bus



Motherboard (Hauptplatine)



Chipsatz

Der Chipsatz ist das Bindeglied zwischen den einzelnen Komponenten eines Computersystems

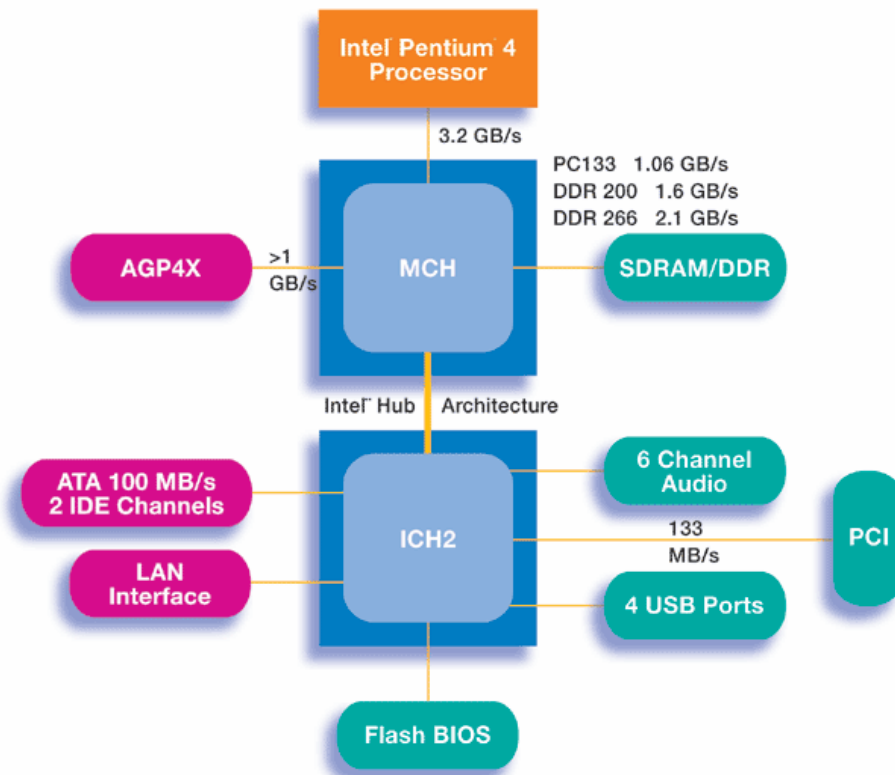
Die Chipsätze von verschiedenen Herstellern können Leistungsunterschiede von bis zu 10% haben.

Der Chipsatz legt fest, welche Komponenten verwendet werden können:

- Systembus
- Speichertyp
- Schnittstellen
- Prozessortyp



Pentium 4 Chipsatz



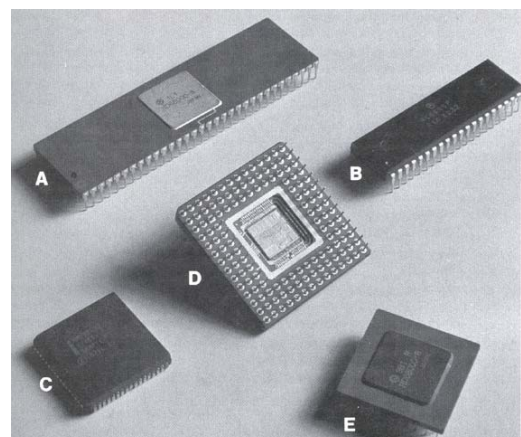
1.4 Gehäuse und Anschlüsse

Ein Chip muss zur Erhöhung der mechanischen Stabilität, zur Herausführung der Anschlüsse sowie zur Ableitung der Wärme (bis 4 Watt) in ein Gehäuse untergebracht werden.

Gehäusematerialien:

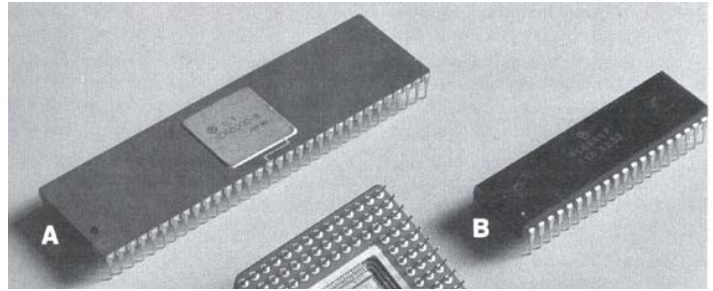
Plastik oder Keramik

Gebräuchlichste Gehäusetypen:



Gehäuse und Anschlüsse

Gehäusetypen A und B:

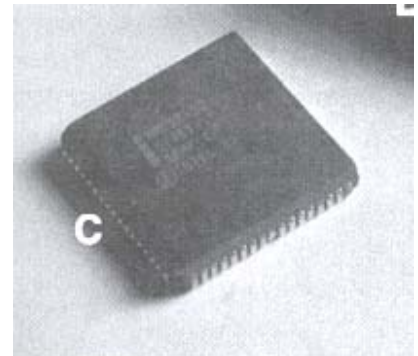


- ❑ Dual Inline Packages (DIP):
so benannt wegen der
zwei parallelen Reihen
Anschlußstifte (Pins)
- ❑ Pinzahl von 8 bis 64
- ❑ Chip in der Mitte des Gehäuses (z. B. in Bild A unter der
Metallplatte)



Gehäuse und Anschlüsse

Gehäusetypen C:

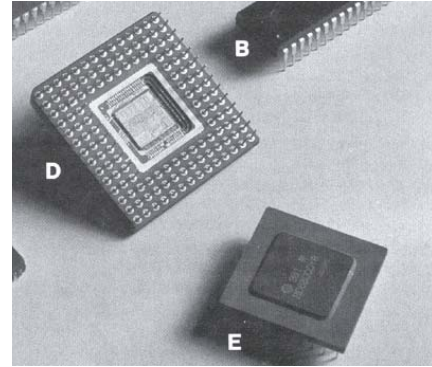


- ❑ Quad-Pack-Gehäuse:
so benannt wegen der einreihigen
Anschlüsse an jeder Gehäuse-Seite
- ❑ Anschlußvarianten als:
 - LCC (Leadless Carrier Chip): einfache Kontakte an den
Gehäuseseiten → spezielle Sockel mit Federkontakten zur
Montage erforderlich
 - Pins: konventionelle Pins an jeder Gehäuseseite
 - SMD (Surface Mounted Device): Lötflächen zur direkten
Oberflächenmontage an jeder Gehäuseseite



Gehäuse und Anschlüsse

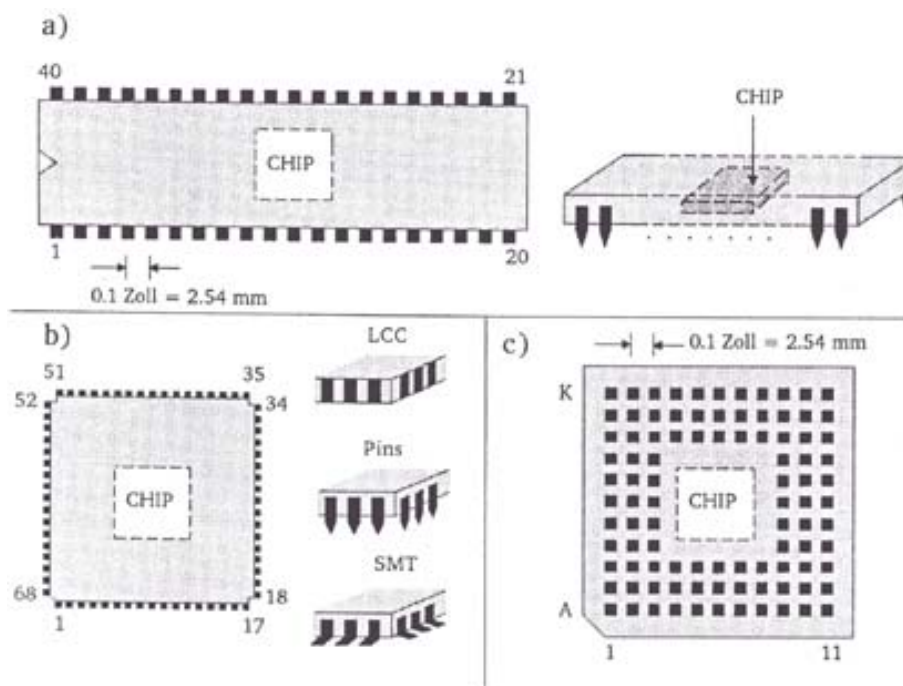
Gehäusetypen D und E:



- ❑ Pin Grid Arrays (PGA)
- ❑ Matrixförmige Pin-Anordnung in Form eines Nagelbretts (bed of nails)
- ❑ bis ca. 190 Pins
- ❑ in Form der Ball Grid Array Technik (BGA) bis zu 625 Pins



Gehäuse und Anschlüsse

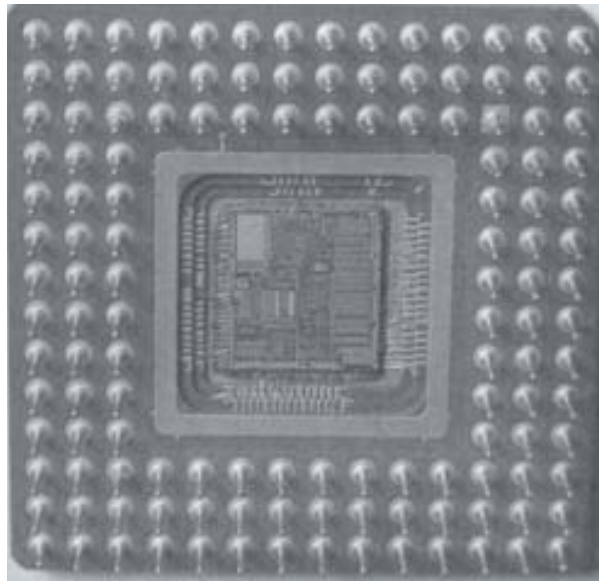


Anordnung und Anschlusskontakte bei verschiedenen Gehäuseformen



Gehäuse und Anschlüsse

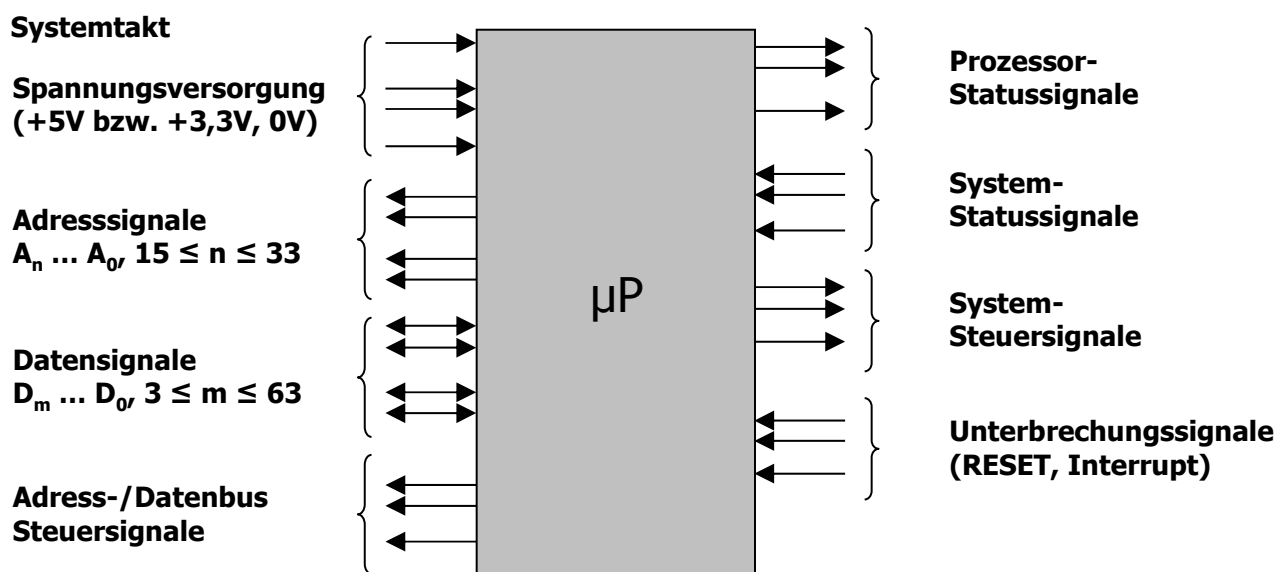
Pin Grid Gehäuse mit 132 Anschlüssen, 100 mm² großer Chip:



Die Verbindungen der Chip-Anschlüsse an die Pins erfolgt mittels Golddrähten (bonding)



1. 5 Anschlussgruppen eines Mikroprozessors



Anschlussgruppen eines Mikroprozessors

Stromversorgung

- versorgt den Prozessor mit Strom
- im Extremfall nur 1 Anschluß für GND (Masse) und Betriebsspannung (z. B. 5 Volt)
- bei Pin-Grids oft bis zu 20 Anschlüsse für jede Versorgungsspannung

Systemtakt

Eingang für den Taktgenerator oder Quarz



Anschlussgruppen eines Mikroprozessors

Adresssignale (Adressbus)

- bestimmen Quelle und Ziel eines Datentransports
- Quelle und Ziel können Speicher, Peripheriegeräte, oder Register sein
- reine Ausgangssignale
- von 16 bis 34 Leitungen (→ Adressraum 64 kByte bis 16 Gbyte)



Datensignale (Datenbus)

- Daten- und Befehlstransport zwischen Prozessor und anderen Komponenten des Systems
- bidirektionale Signale von 4 bis 64 Leitungen

Steuersignale (Steuerbus)

Signale zum Steuern von Systemkomponenten durch den Prozessor und zum Melden von Systemzuständen an den Prozessor

- unidirektionale Signale
- werden vom Steuerwerk des Prozessors kontrolliert



Steuersignal-Gruppen

❑ Daten- / Adressbus-Steuersignale

(Gültigkeit der Adressen, Richtung des Datentransports, Art des Datentransports, etc.)

❑ System-Steuersignale

(Steuerung der Systemkomponenten, z.B. Reset an Komponenten, Bus-Acknowledge für Komponenten, ...)

❑ Prozessor-Statussignale

(Meldungen an den Prozessor, z.B. Busrequest, Error, ...)

❑ Unterbrechungssignale

(Unterbrechung der normalen Programmbearbeitung, Ausnahmebehandlungen, ...)

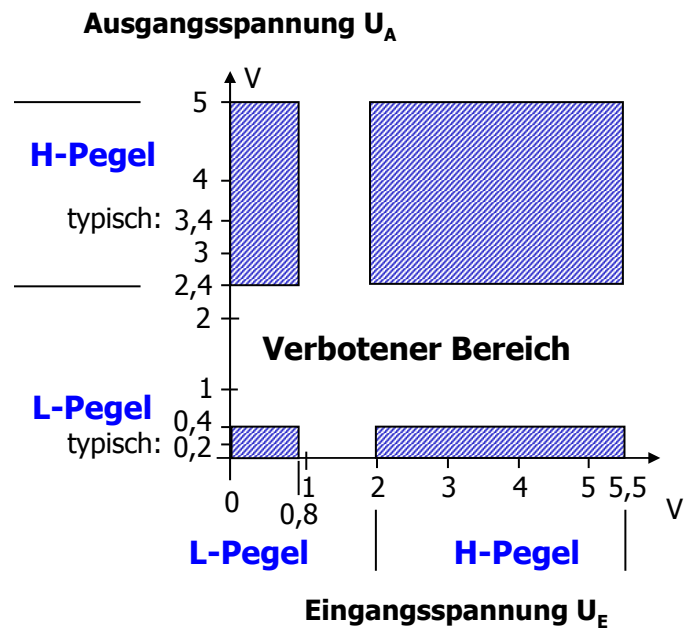


Beschreibung der Signale

Die binären (logischen) Zustände „0“ und „1“ müssen an den Prozessor-Eingängen bzw. Ausgängen Spannungswerten entsprechen.

International durchgesetzt hat sich der **TTL-Pegel**

(TTL \equiv Transistor Transistor Logik)



Beschreibung der Signale

Gültige Spannungsintervalle:

Eingang:

L(ow)-Pegel: 0 - 0,8V \approx **logisch 0**

H(igh)-Pegel: 2,0 - 5,5V \approx **logisch 1**

Ausgang:

L(ow)-Pegel: 0 - 0,4V \approx **logisch 0**

H(igh)-Pegel: 2,4 - 5,0V \approx **logisch 1**



Steuersignale nach ihrer Funktion

Aktivierungssignale

- besitzen einen aktiven und einen passiven Zustand
- Auslösen einer bestimmten Aktion bzw. Anzeigen einer bestimmten Situation
- Überstreichen des Signalnamens kennzeichnet den L-Pegel als aktiven Signalzustand

Reset L-Pegel löst das Rücksetzen des Systems aus

Ack H-Pegel zeigt die Bestätigung empfangener Daten an



Steuersignale nach ihrer Funktion

Auswahlsignale

selektieren zwischen zwei möglichen Zuständen

Schreibweise: **A1/ $\overline{A2}$**

Die Überstreichung zeigt die durch den L-Pegelbestimmte Alternative an

R/ \overline{W}

H-Pegel:

Lesezugriff

L-Pegel:

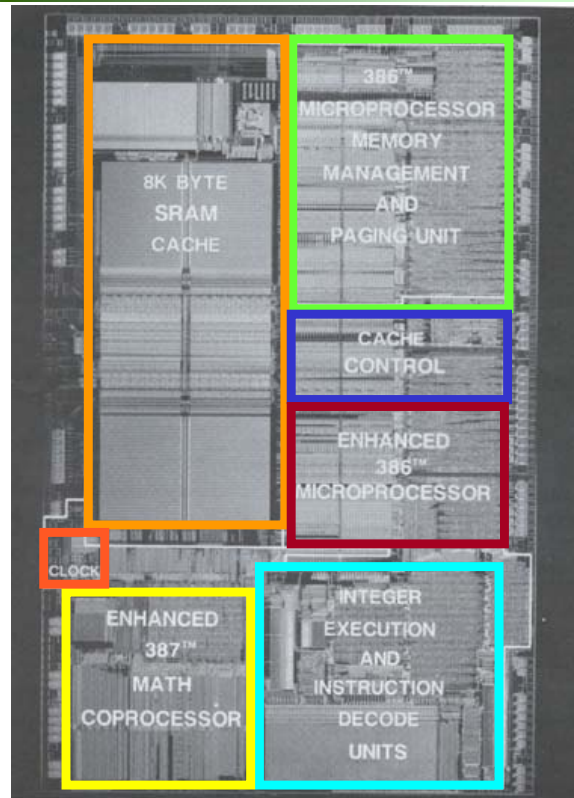
Schreibzugriff



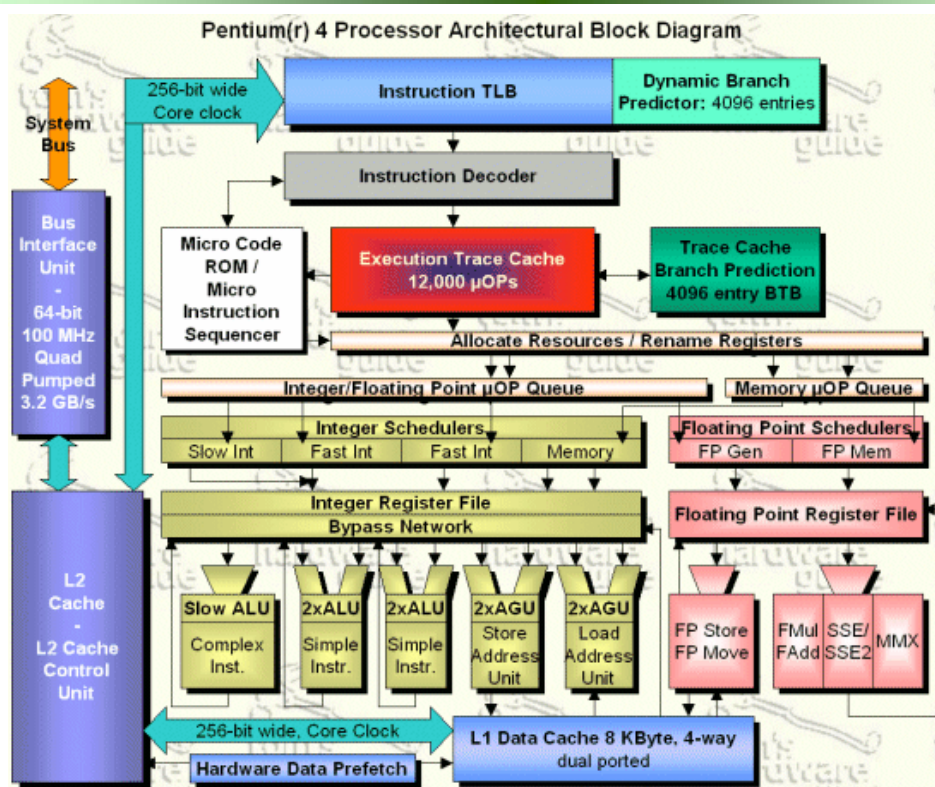
Layouts eines Intel 80486

Sehr komplexes
Layout mit 1 200 000
Transistoren

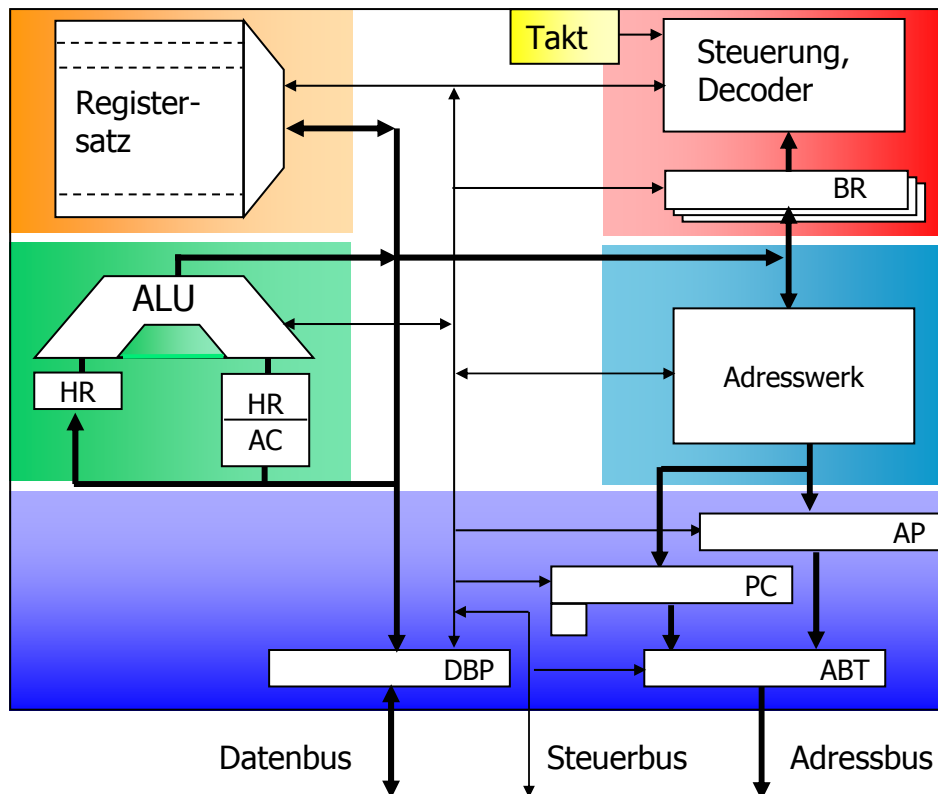
Die verschiedenen
Funktionsbereiche sind
jedoch erkennbar.



Pentium 4 Prozessor-Architektur



1. 6 Interner Aufbau eines einfachen μP



1.6 Interner Aufbau eines einfachen mP

- ❑ **Steuerwerk**
- ❑ **Rechenwerk**
- ❑ **Adresswerk**
- ❑ **Registersatz**
- ❑ **Systembusschnittstelle**
- ❑ **Interne Busse**



Weitere Funktionseinheiten

Bei modernen Mikroprozessoren:

- Speicherverwaltungseinheit
(Memory Management Unit, MMU)
- Arithmetik-Koprozessor
- Cache-Speicher (schnelle Zwischenspeicher)
für Befehle und Daten
- ...

Diese werden später separat behandelt

