



Technische Informatik II im SS 2007

7. Übungsblatt

Abgabetermin: 14. Juni 2007, 13:00 Uhr

Prof. Dr. J. Henkel

Am Zirkel 2, Geb. 20.20
D-76131 Karlsruhe

Dr.-Ing. T. Asfour

Telefon: +49-721-608-7379
Fax: +49-721-608-8270
Email: asfour@ira.uka.de
<http://ti.ira.uka.de>

Aufgabe 1

(6 Punkte)

Auf einem quadratischen Silizium-Chip ist ein Speicher mit wahlfreiem Zugriff (*Random Access Memory = RAM*) unterzubringen. Die Speicherkapazität soll

$$N = 2^{s+z} = 4096 \times 1 \text{ bit}$$

betragen, d. h. bei Anlegen der Adressen soll 1 Bit selektiert werden.

1. Zeichnen Sie die „grobe“ Organisation dieses RAM-Speicherbausteins.
2. Wieviele Zeilen Z und wieviele Spalten S würden Sie zweckmäßigerweise für die Speichermatrix wählen ?
3. Wieviele Bits z enthält dann die Zeilenadresse und wieviele Bits s hat die Spaltenadresse?

Aufgabe 2

(8 Punkte)

1. Wieviele Adressleitungen sind erforderlich bei einem Speicherbaustein mit einer Kapazität von 4096 Bits und einer 512×8 -Organisation? Begründen Sie Ihre Antwort.
2. Wieviele RAM-Bausteine der Organisation $8k \times 1$ sind notwendig, um einen Speicher mit einer Kapazität von 8k Wörter und einer Wortbreite von 8 Bit zu realisieren? Begründen Sie Ihre Antwort.
3. Wie ist ein ROM-Baustein mit der Speicherkapazität von 2048 Bits und 8 Adressleitungen organisiert? Begründen Sie Ihre Antwort.
4. Ein $64K \times 1$ Speicher-Baustein besitzt eine quadratische Speichermatrix. Der höchstwertige Teil einer Adresse ist auf einen Zeilen-Auswahl-Dekoder, der niederwertige Teil der Adresse auf einen Spalten-Auswahl-Dekoder geschaltet.

An welcher Stelle in der Speichermatrix befindet sich das Speicherelement (1-Bit-Speicherzelle) mit der Adresse $A2BE_{16}$?

5. Für einen Rechner soll ein RAM-Speicher mit einer Speicherwortbreite von 32 bit und einer Speicherkapazität von 32 MByte konzipiert werden. Es stehen Speicher-Chips zur Verfügung, die als $2\text{M} \times 8$ bit organisiert sind.

Wieviele Chips dieser Art sind zur Realisierung des Speichers notwendig? Wie würden Sie die Chips in der Speichermatrix anordnen?

6. In diesem Aufgabenteil soll ein ROM-Speicher als $8\text{K} \times 19$ bit realisiert werden. Es stehen $4\text{K} \times 4$ bit und $8\text{K} \times 1$ bit Speicher-Chips zur Verfügung. Der Speicher soll mit einer möglichst geringen Anzahl an Chips einer oder beider Arten realisiert werden. Wie viele Chips sind notwendig?

Aufgabe 3

(8 Punkte)

1. Ein $64\text{K} \times 1$ Speicher-Baustein besitzt eine quadratische Speichermatrix. Der höchstwertige Teil einer Adresse ist auf einen Zeilen-Auswahl-Dekoder, der niederwertige Teil der Adresse auf einen Spalten-Auswahl-Dekoder geschaltet.

An welcher Stelle in der Speichermatrix befindet sich das Speicherelement (1-Bit-Speicherzelle) mit der Adresse $ABC3_{16}$?

2. Gegeben ist das Timing-Diagramm eines DRAM-Bausteins (siehe Bild 1).

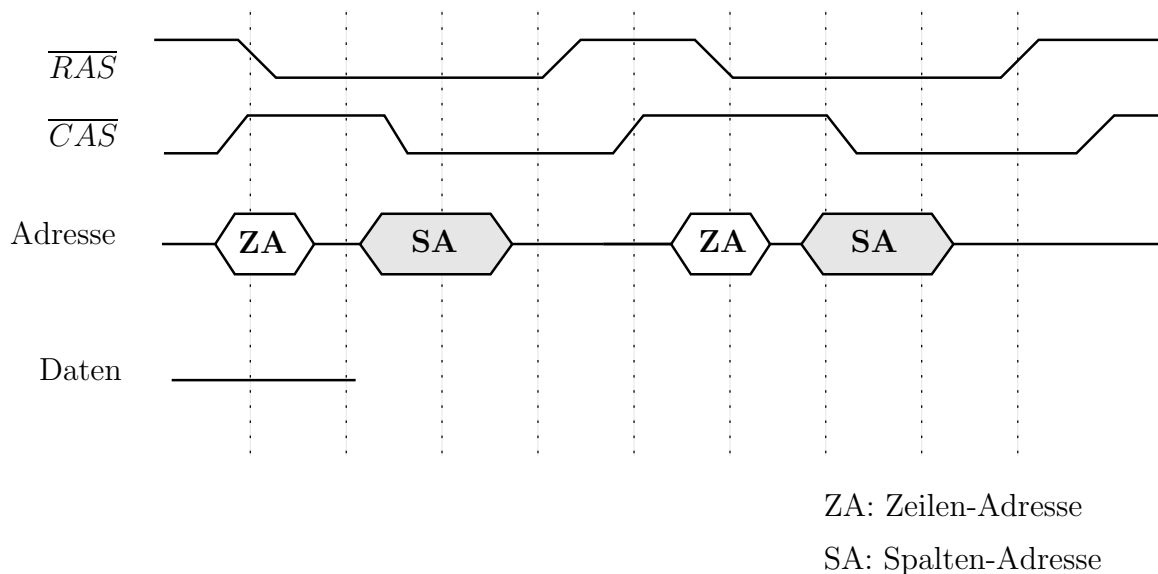


Abbildung 1: Timing-Diagramm eines DRAM-Bausteins

- i.) Geben Sie das Timing-Diagramm für Lese-Zugriffe und tragen Sie die Timing-Parameter ein, d. h.
- die Zykluszeit (t_{RC}),
 - die RAS-Zugriffszeit (t_{RAC}),
 - die CAS-Zugriffszeit (t_{CAC}),
 - die RAS-CAS-Delay (t_{RCD}) und
 - die RAS-Precharge-Time (t_{RP}).

- ii.) Welche der oben genannten Timing-Parameter fallen bei einem FPM-DRAM (FPM: *fast page mode*) weg? Begründen Sie Ihre Antwort.

Aufgabe 4

(4 Punkte)

1. Skizzieren Sie den Aufbau einer statischen MOS-RAM-Speicherzelle. Erläutern Sie ihre Funktionsweise.
2. Skizzieren Sie den Aufbau einer dynamischen RAM-Speicherzelle. Erläutern Sie ihre Funktionsweise.