

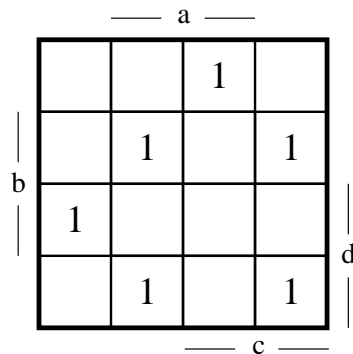


### Lösung 1

#### 1. Funktionstabelle:

$d$	$c$	$b$	$a$	$f$
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

$f$  ist eine Funktion von vier Variablen, die zur eindeutigen Bestimmung des Ausgangs alle benötigt werden.

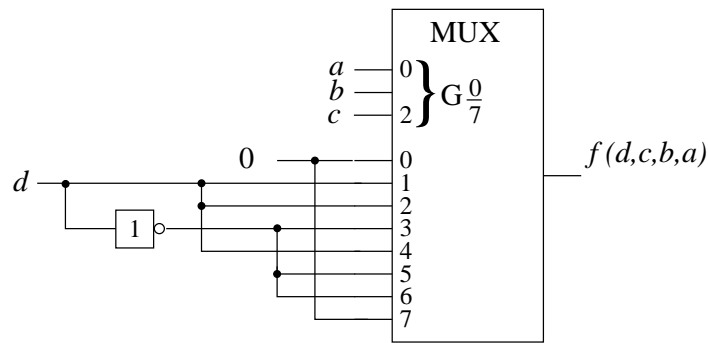


Das KV-Diagramm hat 16 Felder  $\Rightarrow$  die Implementierungstabelle enthält ebenfalls 16 Felder  $\Rightarrow$  Der 8:1-Multiplexer hat 8 Eingänge und 3 Steuereingänge  $c, b, a$

#### 2. Implementierungstabelle:

	$\bar{c} \bar{b} \bar{a}$	$\bar{c} \bar{b} a$	$\bar{c} b \bar{a}$	$\bar{c} b a$	$c \bar{b} \bar{a}$	$c \bar{b} a$	$c b \bar{a}$	$c b a$
$\bar{d}$	0	0	0	1	0	1	1	0
$d$	0	1	1	0	1	0	0	0
	0	$d$	$d$	$\bar{d}$	$d$	$\bar{d}$	$\bar{d}$	0

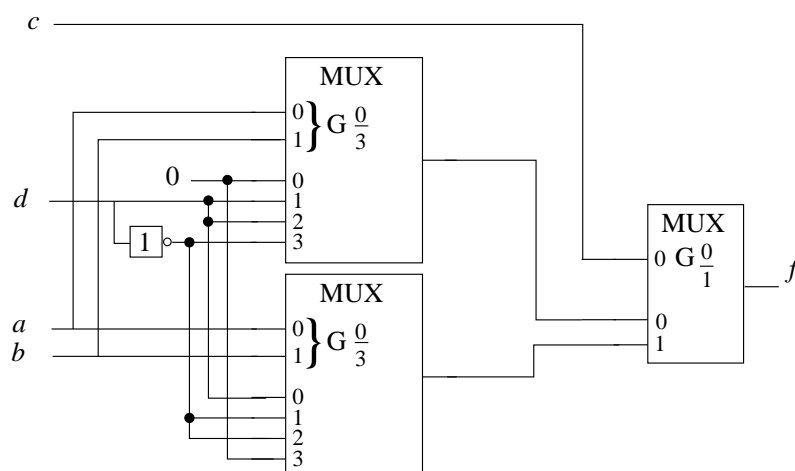
## 3. Schaltnetz:



4. Der 8:1-Multiplexer wird in der ersten Stufe durch zwei 4:1-Multiplexer ersetzt. Diese beiden werden in einer zweiten Stufe durch einen 2:1-Multiplexer zusammengeschaltet. Da die beiden 4:1-Multiplexer nur zwei Steuereingänge besitzen (Ein 8:1-Multiplexer hat 3 Steuereingänge), wird die fehlende dritte Variable an den Steuereingang des 2:1-Multiplexers gelegt.

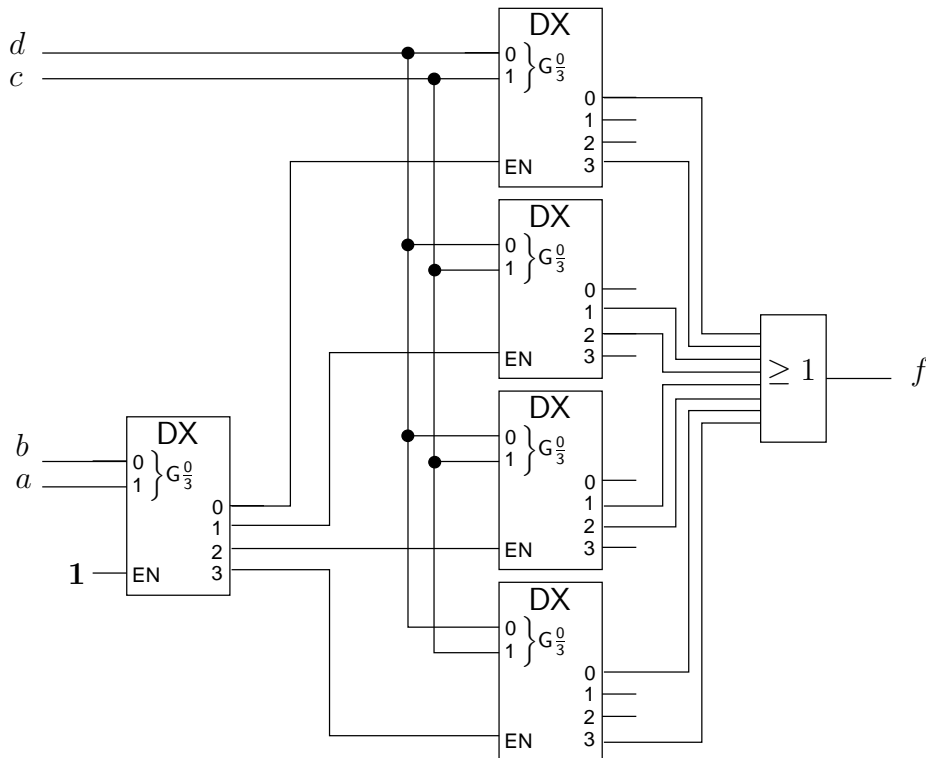
Der eine 4:1-Multiplexer erzeugt folglich alle Produktterme, bei denen die Variable  $c$  vorkommt, der andere alle Produktterme, bei denen die Variable  $\bar{c}$  vorkommt. Die Steuervariable  $c$  des 2:1-Multiplexers dient zur Auswahl zwischen den beiden 4:1-Multiplexern.

	$\bar{c}$					$c$			
	$\bar{c} \bar{b} \bar{a}$	$\bar{c} \bar{b} a$	$\bar{c} b \bar{a}$	$\bar{c} b a$		$c \bar{b} \bar{a}$	$c \bar{b} a$	$c b \bar{a}$	$c b a$
$\bar{d}$	0	0	0	1		0	1	1	0
$d$	0	1	1	0		1	0	0	0
	0	$d$	$d$	$\bar{d}$		$d$	$\bar{d}$	$\bar{d}$	0
	4:1-Multiplexer					4:1-Multiplexer			



Lösung 2

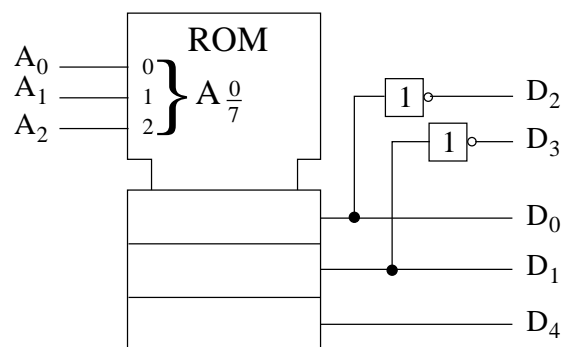
Realisierung von  $f(d, c, b, a)$ :

Lösung 3

1. Der ROM-Baustein muss die gesamte Funktionstabelle (Speichertabelle) realisieren. Jeder Eingangsbelegung der Adreßeingänge  $A_2$ ,  $A_1$ ,  $A_0$  (entspricht einer ROM-Adresse) müssen 5 Ausgangswerte zugeordnet werden. Der ROM muß dann 5-Bit Worte speichern. Bei 3 Adreßeingängen ergibt sich eine Speicherkapazität von  $2^3 \cdot 5 \text{ Bit} = 40 \text{ Bit}$ .
2. Aus der Funktionstabelle sieht man, dass  $D_3 = \overline{D_1}$  und  $D_2 = \overline{D_0}$ . Dadurch lassen sich zwei Ausgänge beim Speicherbaustein sparen, da zusätzlich zum ROM auch Inverter verwendet werden können. Der ROM muß folglich nur 3-Bit Worte speichern. Die Speicherkapazität ergibt sich dann zu:  $2^3 \cdot 3 \text{ Bit} = 24 \text{ Bit}$ .

Reduzierte Funktionstabelle:

$A_2$	$A_1$	$A_0$	$D_4$	$D_1$	$D_0$
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	1	1	0
0	1	1	1	1	0
1	0	0	0	0	1
1	0	1	1	1	1
1	1	0	0	1	1
1	1	1	0	1	0



Lösung 4

PLA: Bündelminimierung der Funktionen:

$$f_1 = b a \vee c b \bar{a}$$

$$f_2 = \bar{b} \vee c b \bar{a}$$

$$f_3 = \bar{c} b \vee c \bar{b} \bar{a}$$

$$f_4 = \bar{c} b \vee b a \vee c \bar{b} \bar{a} = f_3 \vee b a$$

