



Universität Karlsruhe (TH)
Institut für Technische Informatik (ITEC)

Technische Informatik II im SS 2007

Aufgaben zu den Tutorien in der Woche
vom 28. bis 31. Mai 2006

Prof. Dr. J. Henkel
Dr.-Ing. Tamim Asfour

Haid-und-Neu-Str. 7
2. OG., Raum 313.1
D-76131 Karlsruhe

Telefon: +49-721-608-7379
Fax: +49-721-608-8270
Email: asfour@ira.uka.de
<http://i61www.ira.uka.de/users/asfour/TI>

Lernziel

- Parallelität im Prozessor
- Adressierungsarten (siehe Folien zur Vorlesung)
- RISC & CISC

Aufgabe 1

In Abbildung ?? ist der prinzipielle Aufbau eines Mikroprozessors mit dem internen Steuerbus dargestellt.

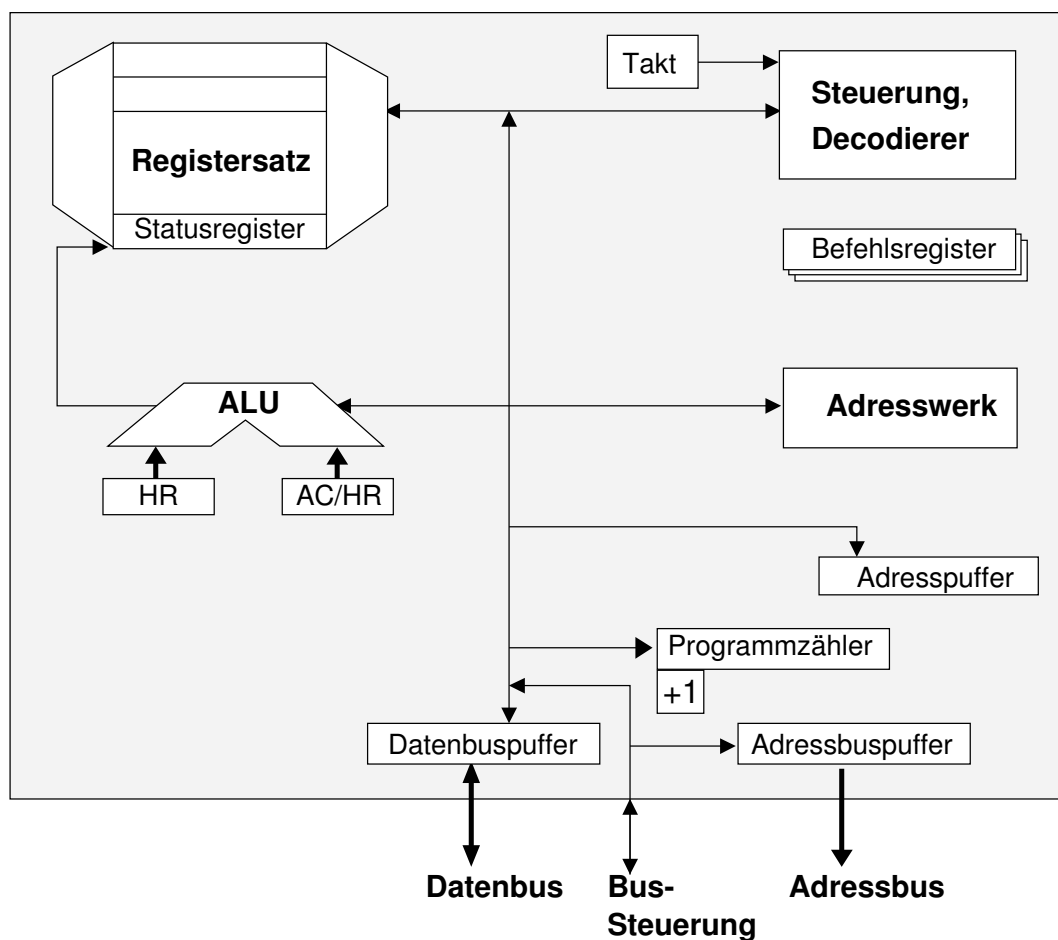


Abbildung 1: Aufbau eines Mikroprozessors und sein interner Steuerbus

Ihre Aufgabe besteht darin, die Architektur des internen Bussystems zu entwerfen, so dass eine hohe prozessorinterne Parallelität bei der Befehlsbearbeitung möglich ist, d. h.

- *OpCode Prefetching*.
- Gleichzeitiges Schreiben der ALU-Ergebnisse in den Registersatz und paralleles Laden der ALU-Eingänge mit Operanden aus dem Registersatz oder dem Datenbuspuffer (sofern nicht das gleiche Register hierfür benötigt wird).
- Direkter Zugriff des Adresswerks auf die Adressregister im Registersatz.

Ergänzen Sie die angegebene Abbildung, so dass das interne Bussystem die obigen Anforderungen erfüllt. Die Richtung des Datenflusses muss aus Ihrer Zeichnung deutlich erkennbar sein.