



Technische Informatik I im WS 2005/2006

Aufgaben zu den Tutorien in der Woche  
vom 05. bis 09. Dezember 2005

Prof. Dr.-Ing. Uwe D. Hanebeck  
Dr.-Ing. Tamim Asfour

Haid-und-Neu-Str. 7  
2. O.G., Raum 313.1  
D-76131 Karlsruhe

Telefon: +49-721-608-7379  
Fax: +49-721-608-8270  
Email: [asfour@ira.uka.de](mailto:asfour@ira.uka.de)  
<http://i61www.ira.uka.de/users/asfour/TI>

## Lernziel

- p- und n- dotierter Halbleiter.
- Funktionsweise eines Feldeffekttransistors (MOSFET).
- Man unterscheidet nMOS (negative Ladungsträger: Elektronen ) und pMOS-Transistoren (positive Ladungsträger: Löcher bzw. Defektelektroenen)
- nMOS-Transistoren leiten bei einem Hi-Pegel am Gate; pMOS-Transistoren leiten bei einem Lo-Pegel am Gate.
- Vor- und Nachteile von CMOS:
  - + Platzsparender Aufbau und damit eine hohe Integrationsdichte möglich
  - + Kaum Stromfluß im Ruhezustand (immer sperrt ein Transistor)  
⇒ kleine Verlustleistung
  - + große Störsicherheit
  - + große Toleranzen der Versorgungsspannungen sind möglich
  - Beim Umschalten tritt kurzzeitig ein Zustand auf, in dem beide MOSFETs leiten.  
Dann fließt kurzzeitig ein relativ hoher Strom. (Daraus folgt, dass die Verlustleistung von der Taktfrequenz abhängig ist !!)
  - Herstellung ist aufwendiger als bei Schaltungen mit nur einer Sorte von Transistoren.
- Realisierung von Schaltfunktionen in CMOS.
- Analyse von CMOS-Schaltungen.

## Aufgabe 1

1. Skizzieren Sie den prinzipiellen Aufbau eines selbstsperrenden n-Kanal-MOS-Feldeffekttransistors (MOSFET). Aus der Zeichnung sollen die Bereiche unterschiedlicher Leitfähigkeit und die Transistoranschlüsse klar erkennbar sein.
2. Die Drain-Source-Spannung  $U_{DS}$  sei positiv. Erläutern Sie die Wirkungsweise eines solchen Transistors, wenn die Gate-Source-Spannung positiv ist ( $U_{GS} > 0$ ). Warum wird der MOSFET als „selbstsperrend“ bezeichnet?
3. Warum werden Schaltkreise in der Regel aus selbstsperrenden MOSFETs aufgebaut?

4. MOSFETs werden auch *Unipolartransistoren* genannt. Begründen Sie diese Namensgebung.

### Aufgabe 2

1. Realisieren Sie die Schaltfunktion  $z = g(b, a) = b \nleftrightarrow a$  durch ein CMOS-Schaltnetz. Es stehen Ihnen CMOS-Gatter mit zwei Eingängen zur Verfügung, welche die Schaltfunktion NAND realisieren. Die Eingangsvariablen stehen sowohl negiert als auch bejaht zur Verfügung. Zeichnen Sie das Schaltbild des CMOS-Schaltnetzes. Vergessen Sie nicht, die Anschlüsse zu beschriften.
2. Geben Sie das Schaltbild eines Transmission-Gates an. Wie müssen die Transistoren angesteuert werden?

### Aufgabe 3

1. Die Schaltfunktion

$$y = f(c, b, a) = \bar{c} \vee \bar{b} \bar{a}$$

soll in der CMOS-Technologie realisiert werden. Es stehen ein NOR-Gatter, ein NAND-Gatter, und ein Inverter-Gatter zur Verfügung. Geben Sie das Transistor-Schaltbild an.

2. Entwerfen Sie ein Gatter in CMOS-Technologie, welches die vierstellige Boolesche Funktion

$$\text{NAND}_4(d, c, b, a) = \begin{cases} 0 & \text{für } a = b = c = d = 1 \\ 1 & \text{sonst} \end{cases}$$

realisiert. Zeichnen Sie die Transistorschaltung. Dabei sei wie in Aufgabe 3  $V_{dd} := 1$  und  $\text{GND} := 0$ .