



Technische Informatik II im SS 2007

8. Übungsblatt

Abgabetermin: 21. Juni 2007, 13:00 Uhr

Prof. Dr. J. Henkel

Am Zirkel 2, Geb. 20.20
D-76131 Karlsruhe

Dr.-Ing. T. Asfour

Telefon: +49-721-608-7379
Fax: +49-721-608-8270
Email: asfour@ira.uka.de
<http://ti.ira.uka.de>

Aufgabe 1

(10 Punkte)

Gegeben seien drei Cache-Speicher **DM**, **A2** und **AV**, die jeweils acht Cache-Blöcke besitzen, wobei jeder Cache-Block vier Bytes umfaßt. Der Cache **DM** ist als direkt-abgebildeter Cache (*direct-mapped*) organisiert, Cache **A2** als 2-fach assoziativer Cache (*2-way-set-associativ*); Cache **AV** ist vollassoziativ (*fully-associativ*). Bei den Cachespeichern **A2** und **AV** soll die „*least recently used*“-Ersetzungsstrategie LRU angewendet werden. Nehmen Sie an, die Cachespeicher seien zu Beginn leer, und es soll eine Serie von einzelnen Bytes mit den folgenden 32-Bit-Adressen gelesen werden:

70, 9, 39, 83, 66, 68, 35, 80, 93, 67, 79, 37, 84, 9.

1. Geben Sie für die drei Cachespeicher an, wieviele Bits zur Verwaltung eines Cache-blocks benötigt werden. Dabei sollen für den Zustand des Cache-Blocks zwei Statusbits verwendet werden (*Valid-Bit* und *Dirty-Bit*).
2. Geben Sie für die drei Cachespeicher die Anzahl der erforderlichen Vergleiche und die jeweils zu vergleichende Bitanzahl an.
3. Welche Zeilen sind bei diesen Caches hinsichtlich einer Blockersetzung als zusammengefaßt zu betrachten, z. B. für die Ersetzungsstrategie nach dem LRU-Prinzip?
4. Geben Sie nun tabellarisch für jeden Cache an, ob es sich beim Lesezugriff auf die jeweilige Adresse um einen Treffer (Cache-Hit) oder um keinen Treffer (Cache-Miss) handelt.
5. Stellen Sie den Zustand der drei Caches nach dem letzten Speicherzugriff dar, d.h. für jeden Cache-Block den Cache-Tag und die vier Datenbytes $m[x_1 - x_4]$. Dabei sollen mit der Schreibweise $m[x_1 - x_4]$ die aus dem Speicherbereich $[x_1, x_4]$ gelesenen Datenbytes repräsentiert werden.

Aufgabe 2

(10 Punkte)

Gegeben seien ein direkt-abgebildeter Cache (*direct mapped*, Abkürzung: **DM**), ein 2-fach satzassoziativer Cache (*2-way-set-associative*, Abkürzung: **A2**) und ein vollassoziativer Cache (*fully-associative*, Abkürzung: **AV**). Die drei Cache-Speicher haben jeweils eine Speicherkapazität von 128 Byte und werden in Blöcken von je 16 Byte geladen. Die Hauptspeicheradresse ist 32 Bit breit.

1. Skizzieren Sie die Unterteilung der Hauptspeicheradresse für die drei Cache-Speicher.
2. Geben Sie die Anzahl der erforderlichen Vergleiche für jeden der drei Cache-Speicher an.

Der Zustand der Cache-Speicher sei durch Tabelle 1 angegeben. Zur Verwaltung eines Cache-Blocks wird ein Gültigkeitsbit (*Valid*-Bit, Abkürzung: *V*) verwendet. $V = 1$ kennzeichnet einen gültigen Eintrag im Cache.

DM-Cache			A2-Cache			AV-Cache	
Zeile	V-Bit	Tag	Satz	V-Bit	Tag	V-Bit	Tag
0	1	1	0	1	1	1	2
1	1	1		0	3	0	4
2	0	4	1	1	2	0	7
3	1	5		0	5	0	0
4	1	0	2	1	2	0	3
5	1	3		0	3	0	5
6	1	0	3	0	0	0	1
7	1	1		1	1	0	6

Tabelle 1: Anfangsbelegung der Cache-Speicher

Betrachten Sie die Folge der Lesezugriffe auf die folgenden in hexadezimaler Schreibweise angegebenen Hauptspeicheradressen:

0x44, 0xA0, 0xC3, 0x9E, 0x66, 0x2D, 0x6B, 0x49

Falls notwendig, wird die „Least Recently Used“-Ersetzungsstrategie verwendet.

3. Geben Sie an, ob es sich beim Zugriff auf die jeweiligen Adressen um einen Cache-Miss oder einen Cache-Hit handelt. Verwenden Sie dabei „—“ für Cache-Miss und „×“ für Cache-Hit.

Aufgabe 3

(6 Punkte)

Gegeben sei ein direkt abgebildeter Cache-Speicher (*direct mapped cache*) mit einer Speicherkapazität von 128 Byte und einer Blockgröße von 16 Byte. Als Aktualisierungsstrategie wird das Rückschreib-Verfahren (*write back*) verwendet. Nehmen Sie an, dass der Cache-Speicher zu Beginn leer ist. Betrachten Sie die folgenden Lese- und Schreibzugriffe auf die in hexadezimaler Schreibweise angegebenen Adressen:

Adresse	64	32	E4	18	E0	7A	A2	F0	E3
read/write	w	r	w	r	r	r	r	w	r
Index	6	3							
Tag	0	0							
Hit/Miss	Miss								
write back?	nein								

Vervollständigen Sie diese Tabelle. Verwenden Sie dabei **Miss** für Cache-Miss und **Hit** für Cache-Hit. Geben Sie in der letzten Zeile der Tabelle an, ob der entsprechende Cacheblock in den Hauptspeicher zurückkopiert werden muss (**ja**) oder nicht (**nein**).

Aufgabe 4

(4 Punkte)

Mit einer Programmschleife sollen 128 32-bit-Zahlen addiert werden, die in einem Array $a[i]$, $i \in \{0, \dots, 127\}$, abgespeichert sind. Dazu sei ein anfänglich leerer Daten-Cache mit 32 Bytes pro Cache-Zeile gegeben. Berechnen Sie für dieses Programmstück die Treffer-Rate für den Daten-Cache unter der Annahme, daß sich die Zähl- und die Summationsvariable

1. im Speicher befinden, bzw.
2. in Registern zwischengespeichert werden.
3. Wie ändern sich die Hit-Raten, wenn statt 32-bit-Zahlen nur 16-bit-Zahlen addiert werden?