
Vorlesung

Technische Informatik II

SS 2005

Prof. Dr. U. Brinkschulte

Dr.-Ing. T. Asfour

Institut für Prozessrechentechnik, Automation und Robotik (IPR)



Termine

Vorlesung & Übung

Dienstag: Hörsaal am Forum (Geb. 30.95),
14.00 - 15.30 Uhr

Donnerstag: Hörsaal am Forum (Geb. 30.95),
14.00 - 15.30 Uhr (14tägig)

Aktuelle Termine (TI-Homepage)

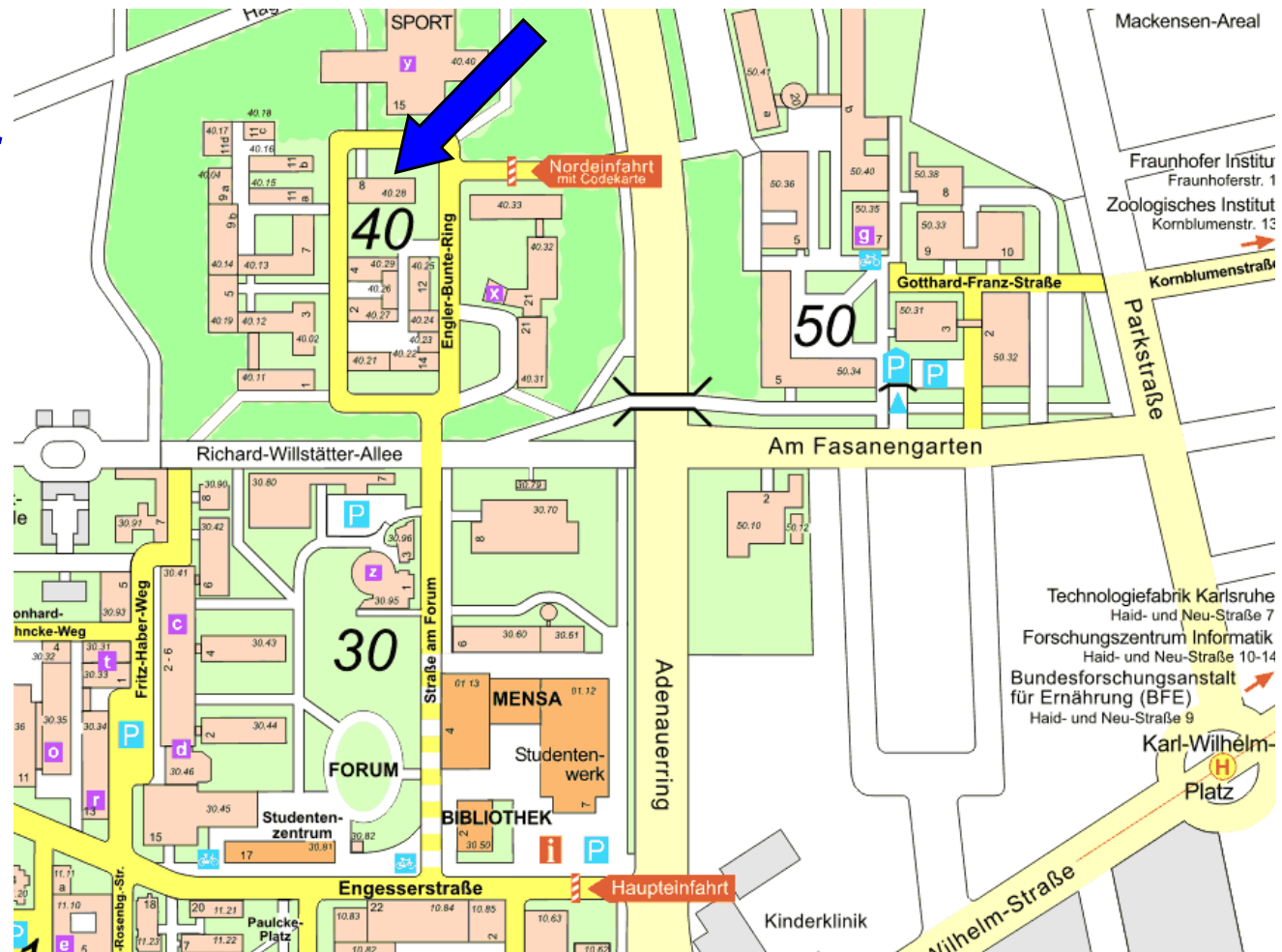
<http://i61www.ira.uka.de/users/asfour/TI/>



Sprechstunde

Prof. Dr. U. Brinkschulte:

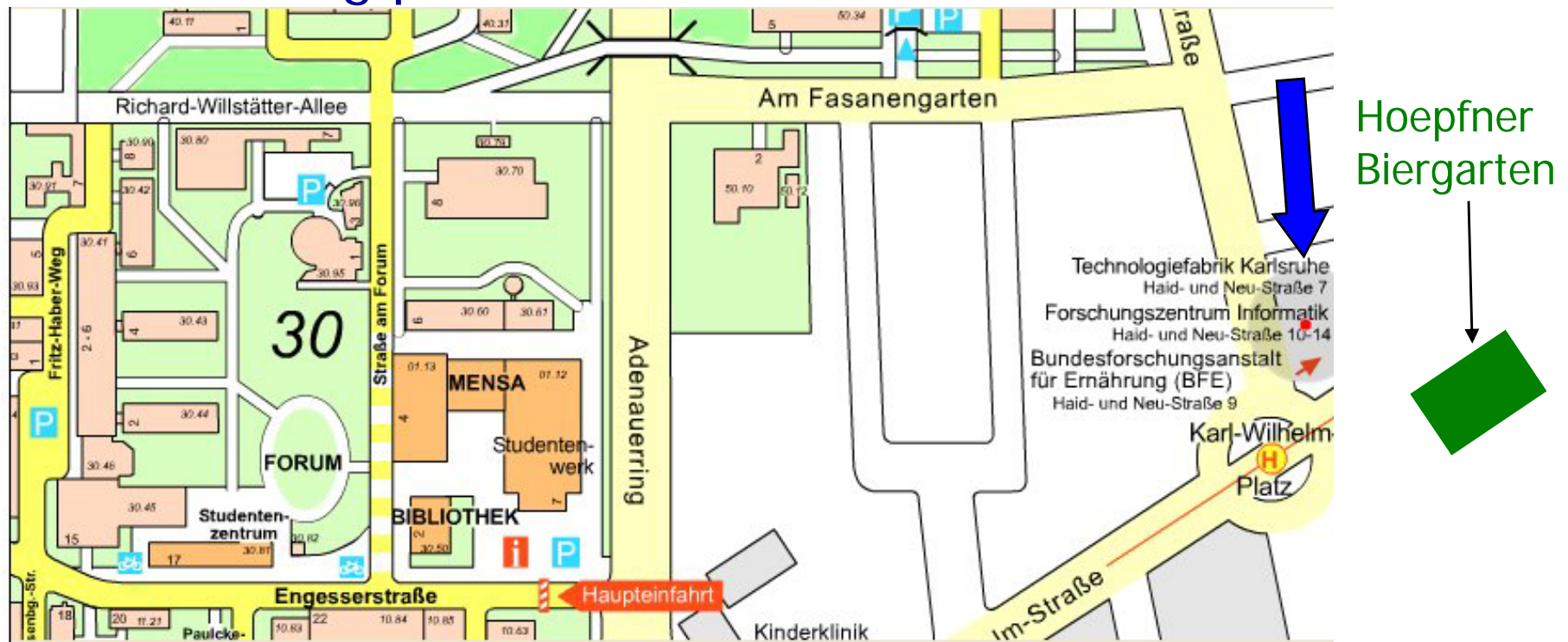
**Donnerstags
10.00 – 11.30 Uhr**
im Gebäude 40.28,
Raum 119 oder
nach Vereinbarung
per Email



Sprechstunde

T. Asfour:

Mittwochs 15:00-17:00 Uhr in der Technologiefabrik
(Haid-und-Neu-Str. 7), 2.OG, Raum 313.1 oder nach
Vereinbarung per email



Tutorien

Ausgabe des 1. Übungsblattes:

Donnerstag, den 14. April (TI-Homepage)

Abgabe des 1. Übungsblattes:

Spätestens Do., 21. April, 13.00 Uhr, Briefkasten
„Technische Informatik“ im Untergeschoß im
Informatik-Hauptgebäude am Fasanengarten
(Geb. 50.34)

Beginn der Tutorien:

18. April 2005



Tutorien

	Montag	Dienstag	Mittwoch	Donnerstag	Freitag
8:00 - 9:30	SR -108: Jens SR -118: Stefan	SR -108: Nils SR -118: Manuel H.	SR -108: Steven		
9:45 - 11:15	SR -118: Stefan	SR -118: Steffi SR -119: Bernhard	SR -118: Steven		
11:30 -13:00	SR -119: Sebastian	SR -119: Bernhard SR -120: Steffi		Informatik IV	
14:00 - 15:30	SR -119: Jens SR -120: Manuel	Technische Informatik	SR -119: Manuel H.	Technische Informatik	
15:45 - 17:15	SR -118: Manuel	Informatik IV		Informatik IV	



Eintragung in die Tutorien (Merkblatt)

Informationen zur Eintragung:

<http://www.ira.uka.de/~thgries/wis>

Anmeldung:

WebInScribe-Server wird in der Zeit von **Dienstag, 17:00 Uhr**, bis **Donnerstag, 18:00 Uhr** zur Verfügung stehen.

Passwortvergabe:

Di. 17.00 - 18.00 Uhr,

Mi. 10.00 - 14.00 Uhr

Do. 10.00 – 12.00 Uhr und 13:00 – 16:00 Uhr

Ergebnis der Einteilung:

Freitag, 15.04.2005, ab 12.00 Uhr (Geb. 50.34, Geb. 20.20 und TI-Homepage)



Klausur

Termin: 12. September 2005

Nachklausur: voraussichtlich Januar/Februar 2006

Es hat sich in der Vergangenheit auch gezeigt, dass Studierende, die regelmäßig an den Tutorien **teilgenommen** und **einen Übungsschein** erworben haben, erheblich bessere Prüfungsergebnisse erreichen.



Kriterien für den Schein

- Regelmäßige Teilnahme und Bereitschaft zur **aktiven** Mitarbeit in den Tutorien.
- Rechtzeitige Abgabe einer gültigen Ausarbeitung zu mindestens **acht** Übungsblättern.
- **mindestens 50%** der insgesamt durch die Bearbeitung aller Übungsblätter erreichbaren Punktzahl
- Wer zweimal gegen folgende Bedingung verstößt, erhält keinen Schein:

Eine Person, die eine korrekt gelöste (Teil-) Aufgabe abgegeben hat, muss auch in der Lage sein, diese im Tutorium vorzurechnen.



Bonussystem: Schein + Testklausur

- (1) Kriterien für den Schein → 4 Punkte
- (2) Wie in T1 findet auch in diesem Semester eine Testklausur statt.
Je nach Note gibt es 4, 3, 2 Punkte oder 1 Punkt

Note	Punkte
sehr gut	4
Gut	3
befriedigend	2
ausreichend	1

- Bonuspunkte für die anschließende Prüfung =
Mittelwert aus (1) und (2)
- **Der Bonus verhindert kein Durchfallen in der Klausur**



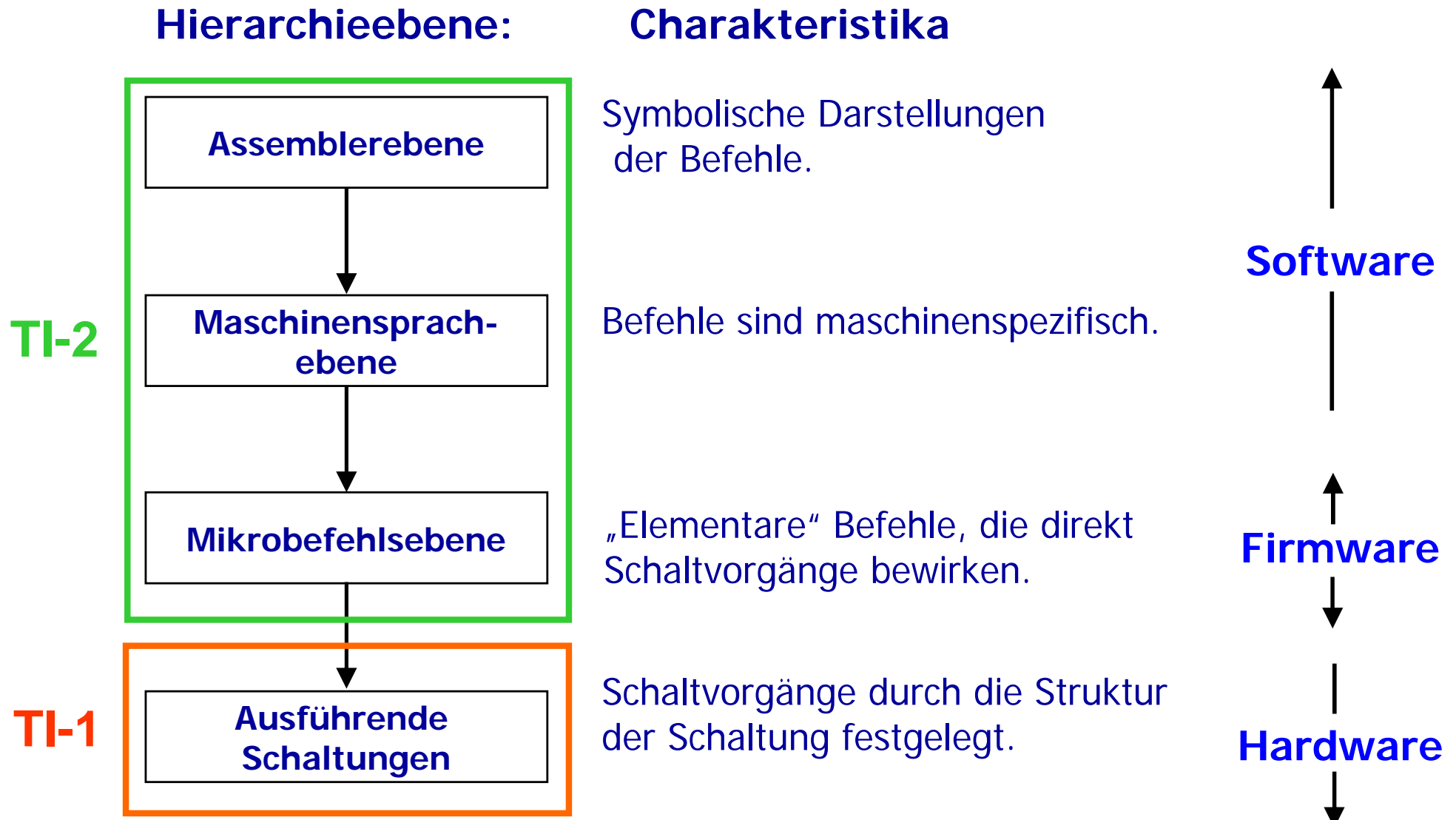
Einführung in TI-1 für die Informationswirte

Einführung in die Technische Informatik I für Studierende der Informationswirtschaft

- Ort & Zeit werden am Donnerstag bekannt gegeben



Technische Informatik I+II

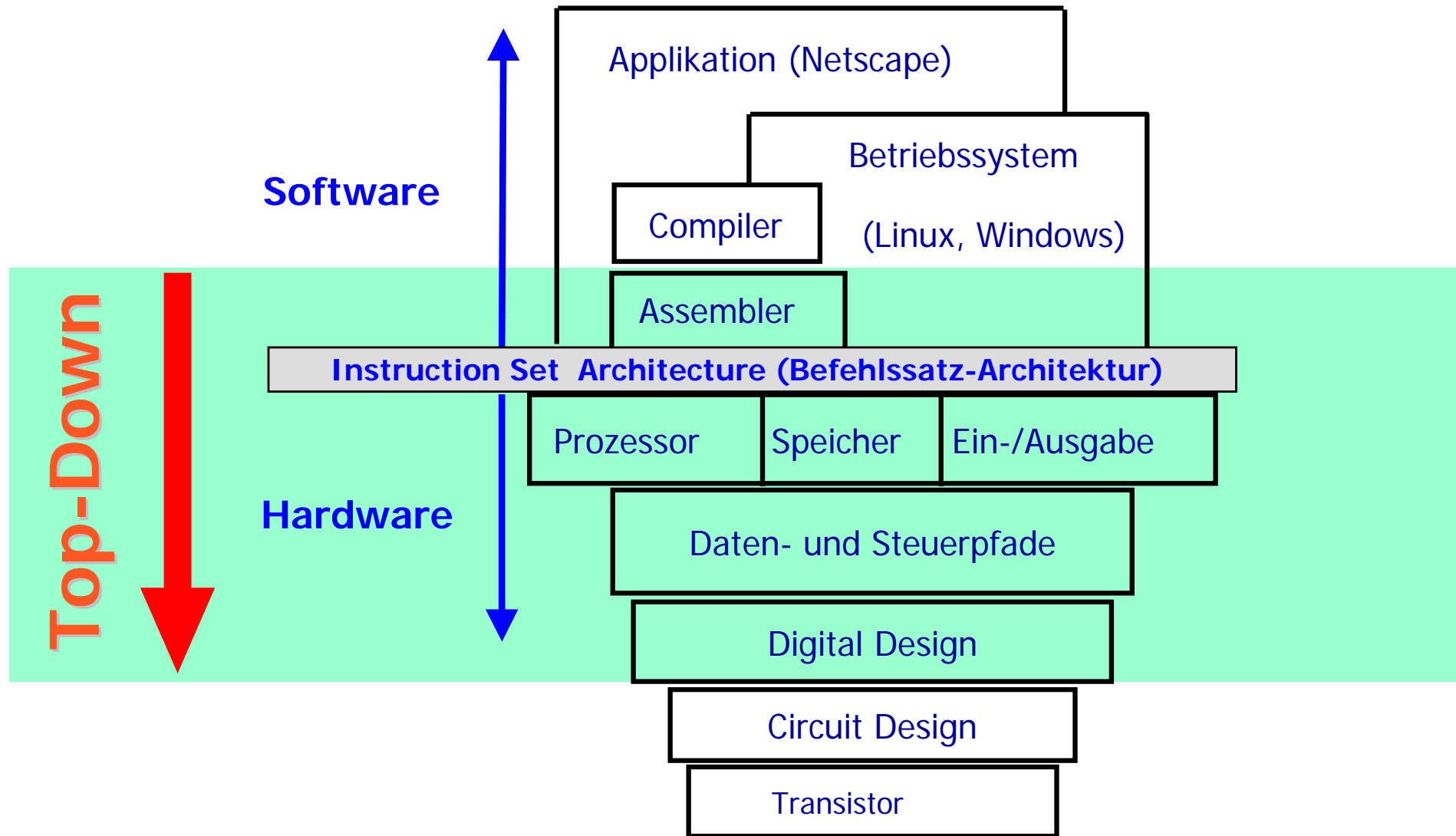


Beschreibungsebenen eines Rechnersystems

Problemstellung (Buchhaltung, Robotersteuerung, ...)
Algorithmen (Sortieren, Bewegungsplanung, ...)
Hochsprachen (c, C++, Java, ...)
Maschinensprache (move, shift, jump, ...)
Funktionsgruppen (ALU, CPU, ...)
Gatter (UND, ODER, NICHT, ...)
Elektronische Bauteile (Widerstand, Transistor, ...)



Technische Informatik II



Technische Informatik II

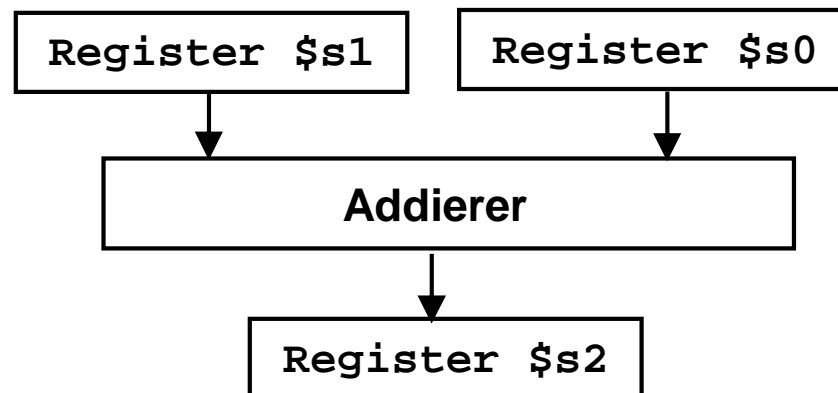
- C-Programm:

```
...  
int summe = a + b;  
...
```

- Maschinenbefehl/Assembler

```
...  
add $s2, $s1, $s0  
...
```

- Hardware



Vorlesungsgliederung

□ Einführung

- Motivation, Historische Anmerkungen

□ Anforderungen höherer Programmiersprachen

- Programmkonstrukte
- Variable und Konstante

□ Ein grundlegendes Rechnermodell

- Steuerwerk, Rechenwerk
- Speicherwerk
- Ein-Ausgabewerk
- Verbindungsstrukturen
- Maschinenbefehlszyklus



Vorlesungsgliederung

- ❑ **Instruction Set Architektur (ISA)**
 - Datentypen, Datenformate, Adressierungsarten
 - Befehlsformat, Befehlssatz
 - Diskussion: RISC & CISC; Fallstudien (MIPS)
- ❑ **Einführung in die Assemblerprogrammierung**
 - Programmiertechniken
 - MIPS-Assembler
- ❑ **Befehlsabarbeitung im grundlegenden Rechnermodells**
 - Logische Phasen des Maschinenbefehlszyklus
 - Pipelining



Vorlesungsgliederung

□ **Prozessorarchitektur**

- Begriffe und Definitionen
- Aufbau Steuerwerk
- Aufbau Rechenwerk

□ **Speicherwerk**

- Speicherkomponenten
- Adressierung von Systemkomponenten
- Speicherhierarchie
- Cache-Speicher
 - Organisation
 - Cache Kohärenz



Vorlesungsgliederung

□ Betriebssystemunterstützung

- Speicherverwaltung
- Unterbrechungsbehandlung

□ Ein-Ausgabewerk

- Schnittstellenbausteine
- DMA
- Interrupt-Controller

□ Bussysteme

- Grundlegende Eigenschaften, Definitionen
- Zuteilung, Protokolle
- Fallstudien (PCI, CAN, USB, Firewire, ...)



Vorlesungsgliederung

□ Peripheriekomponenten

- Peripheriegerätesteuerung
- Datenaustausch
- Plattenspeicher
- Bildschirm
- Maus, Tastatur
- Netzwerkschnittstellen

□ Eingebettete Systeme

- Mikrocontroller
- Fallstudie, ARM, AMBA



Literatur

- **U. Brinkschulte und Th. Ungerer:**
Mikrocontroller und Mikroprozessoren
Springer-Verlag, September 2002
- **H. Bähring:**
Mikrorechner-Systeme, Springer-Lehrbuch,
3. Auflage 2002 (Band I/II)
- **Th. Flick, H. Liebig:**
Mikroprozessortechnik; Springer-Lehrbuch,
5. Auflage 1998
- **W. Oberschelp, G. Vossen:**
Rechneraufbau und Rechnerstrukturen, 8. Auflage,
Oldenbourg 2000



Literatur

- **D. Patterson, J. Hennessy:**
Computer Organisation & Design
Morgan Kaufmann Publ. 3. Auflage 1998
- **J. Silic, B. Robic and Th. Ungerer:**
Processor architecture: from dataflow to superscalar
and beyond; Springer 1999
- **Y.N. Patt & S.J. Patel:**
Introduction to Computing Systems: From bits & gates
to C & beyond, McGrawHill, August 2003
- **A.S. Tanenbaum:**
Structured Computer Organization, 4. Auflage, 1999



Kapitel 1

1.1 Motivation

1.2 Historische Entwicklung von Rechenmaschinen

1.3 Historische Entwicklung von Mikroprozessoren



1.1 Motivation

Die Leistungssteigerung bei Mikroprozessoren ist durch folgende Fortschritte erreicht worden:

- durch Steigerung der Gatterzahl auf dem Chip,
- durch Steigerung der Taktrate und
- durch Fortschritte beim Hardware-Entwurf (Architektur, Mikroarchitektur, Entwurfswerkzeuge).

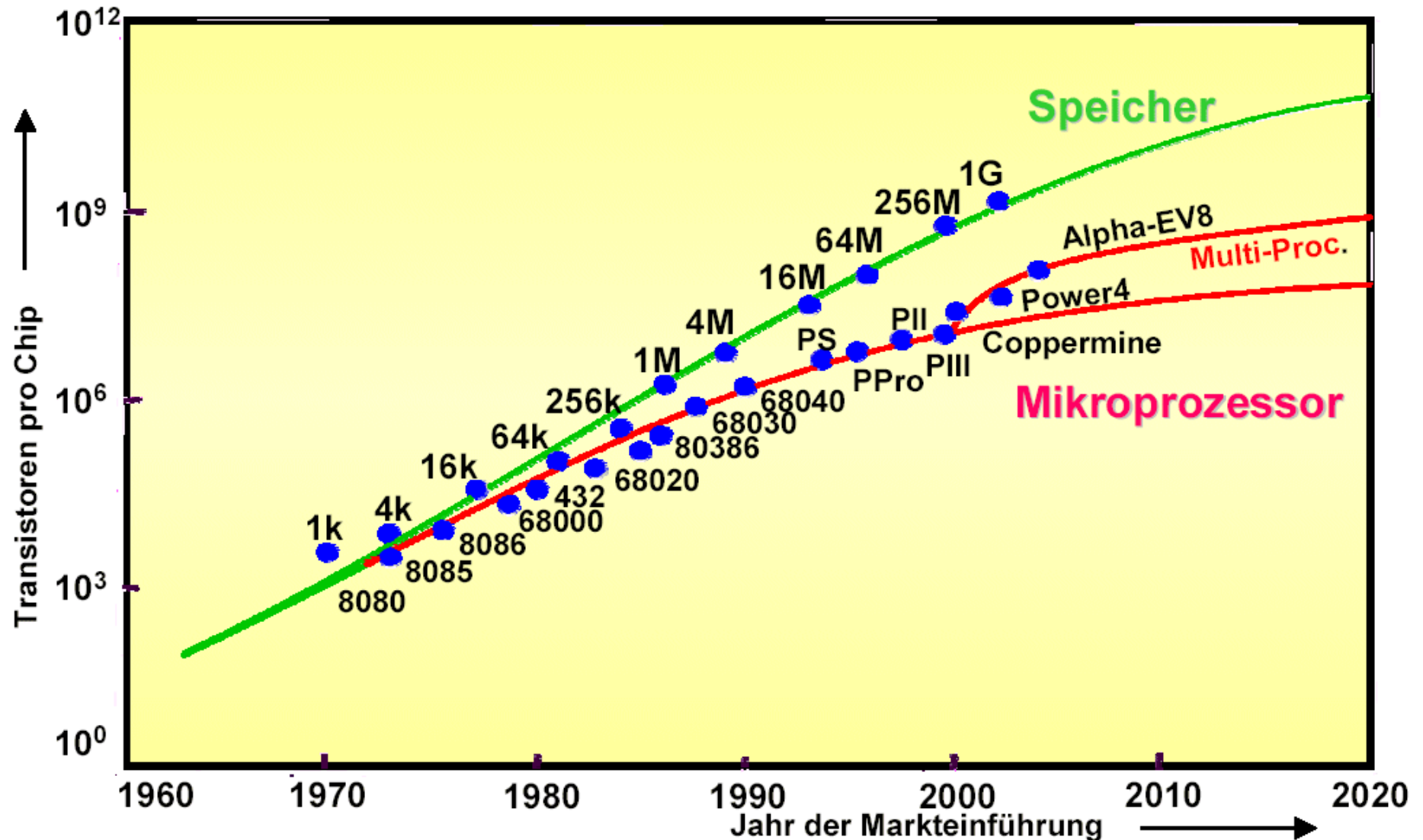


Exponentialgesetz der Mikroelektronik „Moore'sches Gesetz“

- ❑ Die Anzahl der Transistoren pro (Prozessor-)Chip verdoppelt sich alle zwei Jahre.
- ❑ Die Verarbeitungsleistung der Hochleistungsprozessoren verdoppelt sich alle 18 Monate.
- ❑ Für den gleichen Preis liefert die Mikroelektronik die doppelte Leistung in weniger als zwei Jahren.



Exponentialgesetz der Mikroelektronik „Moore'sches Gesetz“

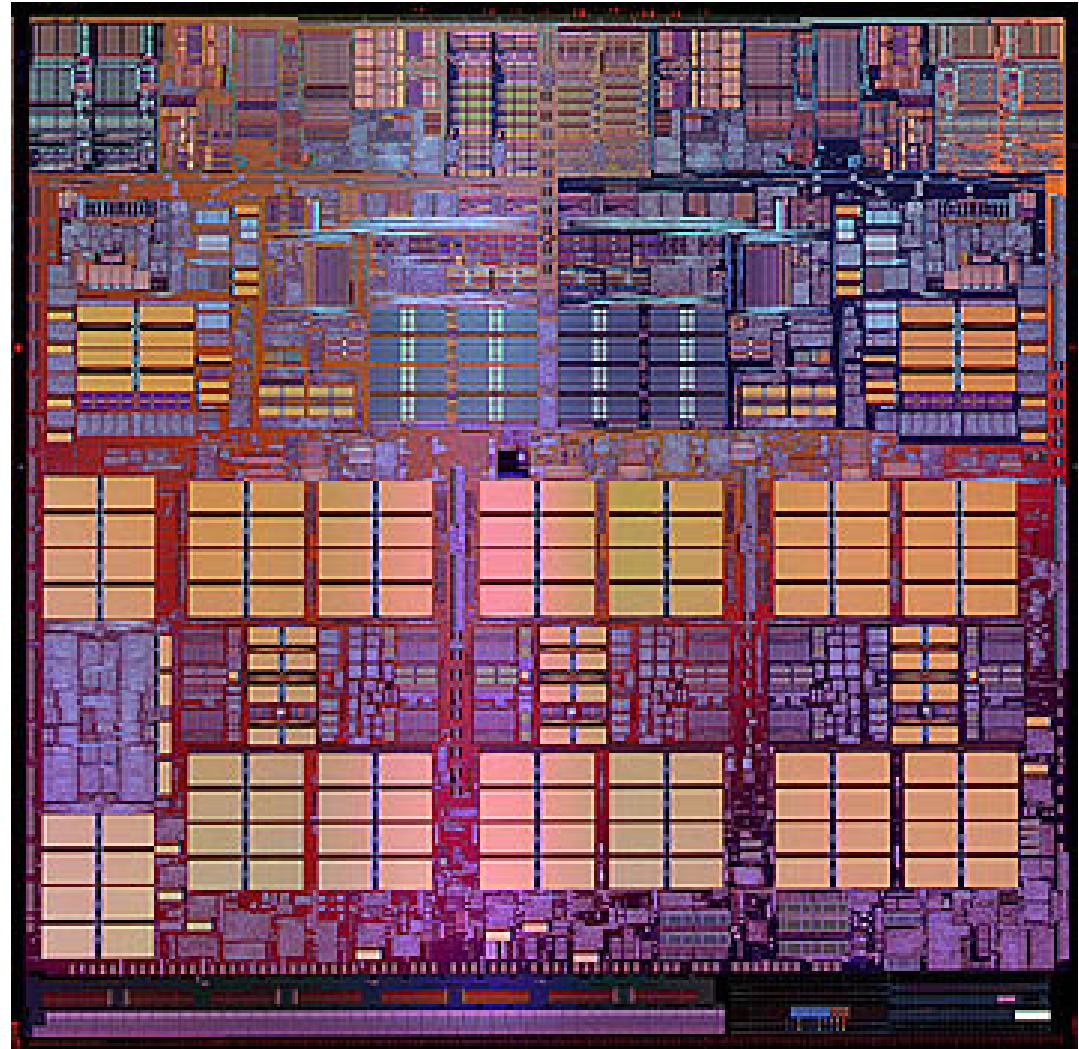


Beispiele von Mikroprozessoren

IBM Power 4

174 Mio Transistoren
400 mm²
0.18 μ in Kupfer-
Technik

Zwei unabhängige 64-
Bit Kerne mit eigenen
L1-Caches (32 KByte
Instruktionen und
64 KByte Daten).



SIA Roadmap (Prognose 2000/2001)

Immer mehr Transistoren auf einem VLSI-Chip

Year	Unit	1993	1995	1999	2001	2003	2005	2008	2011	2014	2016
Feature Size	<i>microns/nm</i>	0.50	0.35	180	130	100	80	70	50	34	22
Internal Clock (high performance)	<i>Mhz/Ghz</i>	200	300	750	1.68	2.31	5.17	6.74	11.5	19.3	28.7
Logic transistors	<i>million/cm²</i>	2	4	6.6	13	24	44	109	269	664	
Microprocessor	<i>million transistors/chip</i>	5.2	12	23.8	47.6	95.2	190	539	1523	4308	
DRAM size	<i>Mbit/Gbit</i>	16	64	256	512	1	2	6	16	48	
SRAM size	<i>Mbit/Gbit</i>	1	4	16	64	256					
Voltage	<i>V_{dd}</i>	5	3.3	2.5	1.2	1.0	0.9	0.7	0.6	0.5	0.4

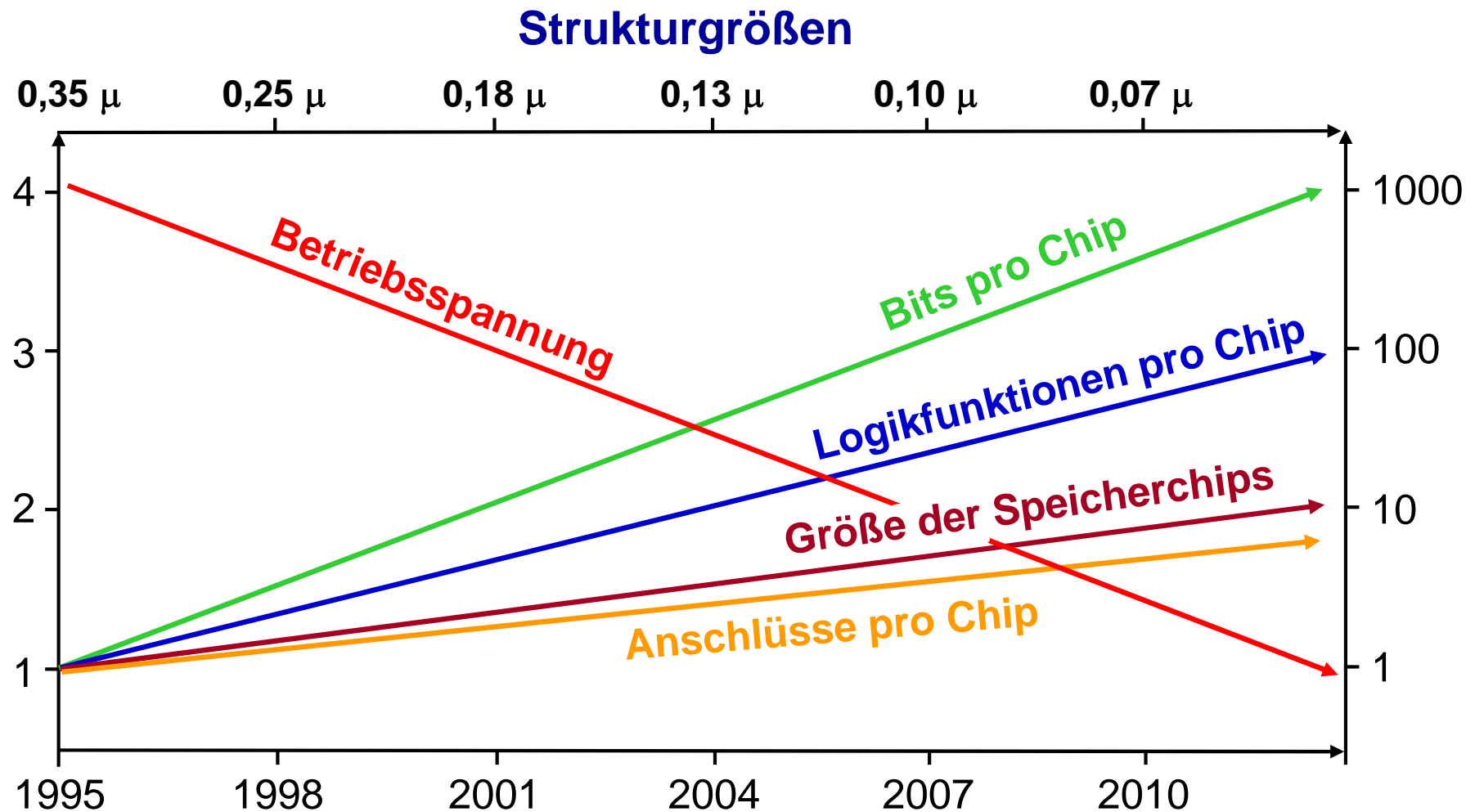
SIA: American Semiconductor Industry

<http://public.itrs.net/>

<http://www.sematech.org/public/home.htm>



Mehr Leistung bei weniger Stromverbrauch



1.2 Historische Entwicklung der Rechenmaschinen

1642: Pascal

Erste funktionierende Rechenmaschine (Addition und Subtraktion)

Rein mechanisch, Betrieben mit einer Handkurbel

1672: G. W. Leibniz

4 Grundrechenarten

Mechanik nicht voll funktionsfähig

1722-74: M. Hahn

Mechanische Problem weitgehend gelöst.

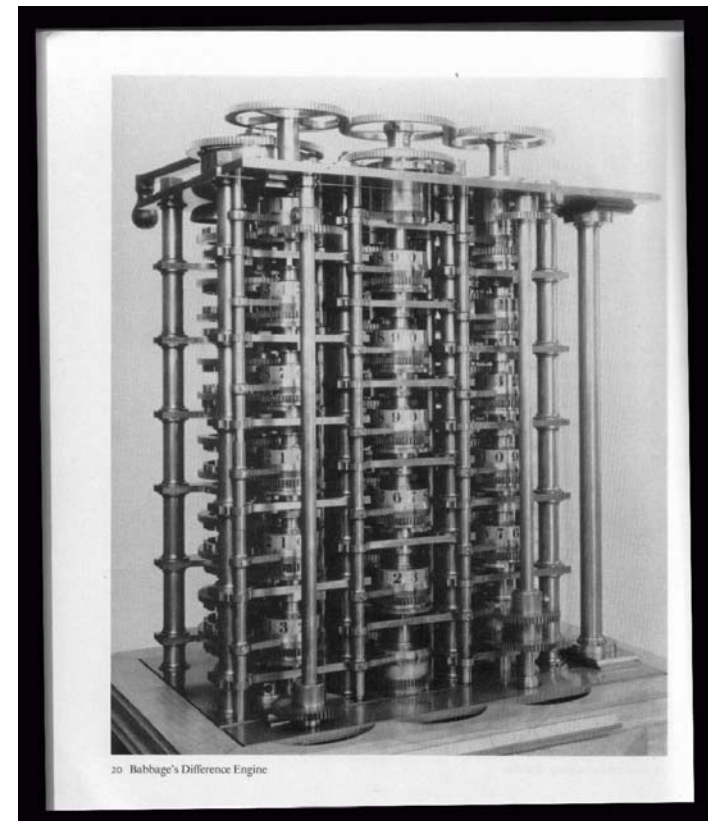


1.3 Historische Entwicklung der Rechenmaschinen

Charles Babbage (1792-1871)

□ Difference Engine:

- Addition und Subtraktion
- Diente der Berechnung von Zahlentabellen für die Schiffnavigation
- Führt nur einen einzigen Algorithmus (Methode der finiten Differenzen mit Hilfe von Polynomen)
- Ergebnisse wurden auf einer Kupferplatte gestanzt.



1.3 Historische Entwicklung der Rechenmaschinen

Charles Babbage (1792-1871)

❑ Analytical Engine:

- Erster Rechenautomat aus Speicher (Säulen), Recheneinheit (Mühle), Eingabeeinheit (Kartenleser) und Ausgabe
- Erstmals Programmsteuerung über Lochkarten
- Möglichkeit im Programm zu springen
- Ergebnisse wurden auf einer Kupferplatte gestanzt
- Enthält bereits die meisten Funktionsbaugruppen moderner Rechenautomaten
- Software: einfache Assemblersprache



1.3 Historische Entwicklung der Rechenmaschinen

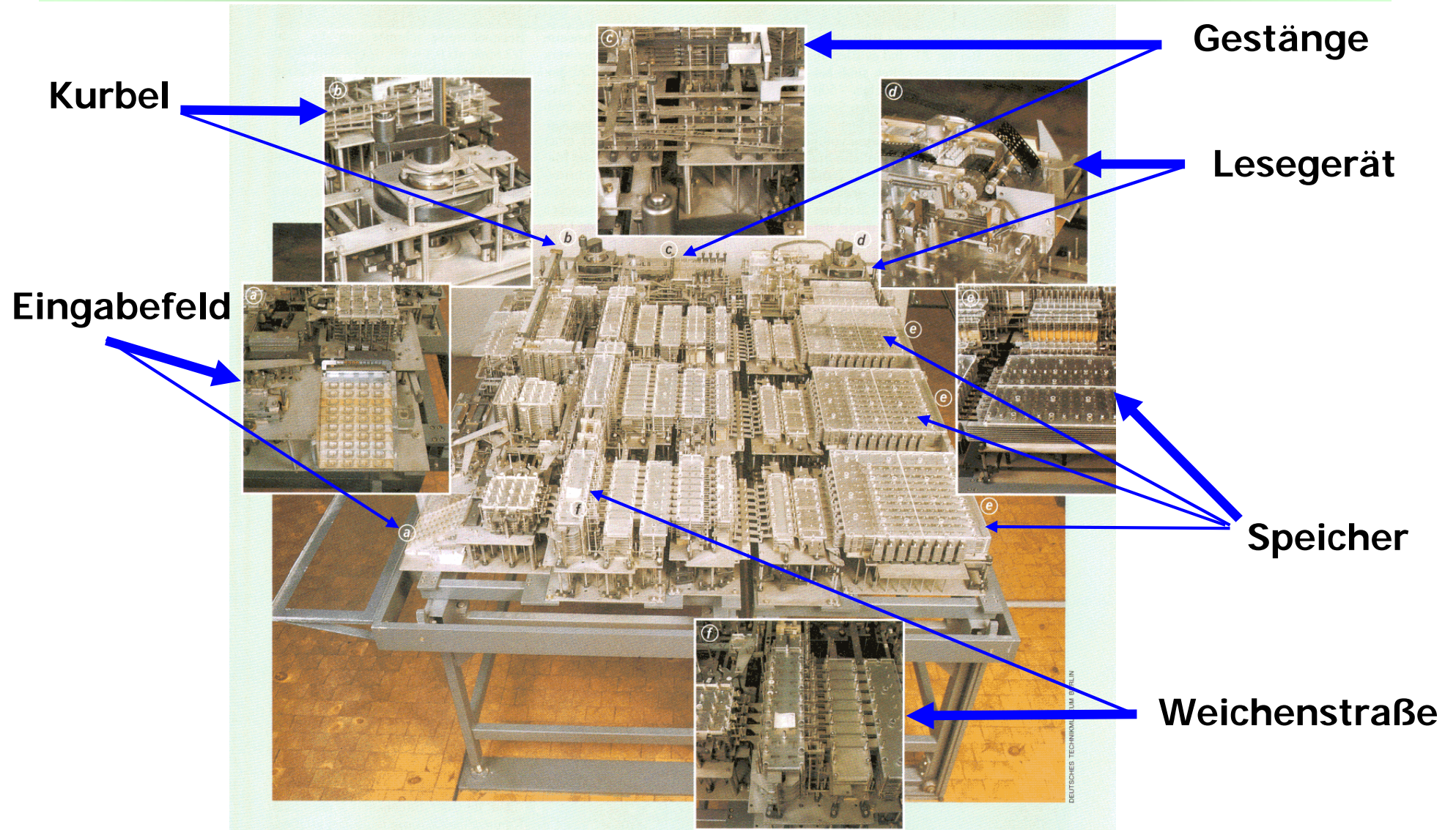
1936: Konrad Zuse

Baute eine Reihe von programmgesteuerte Rechenmaschinen mittels elektromagnetischer Relais

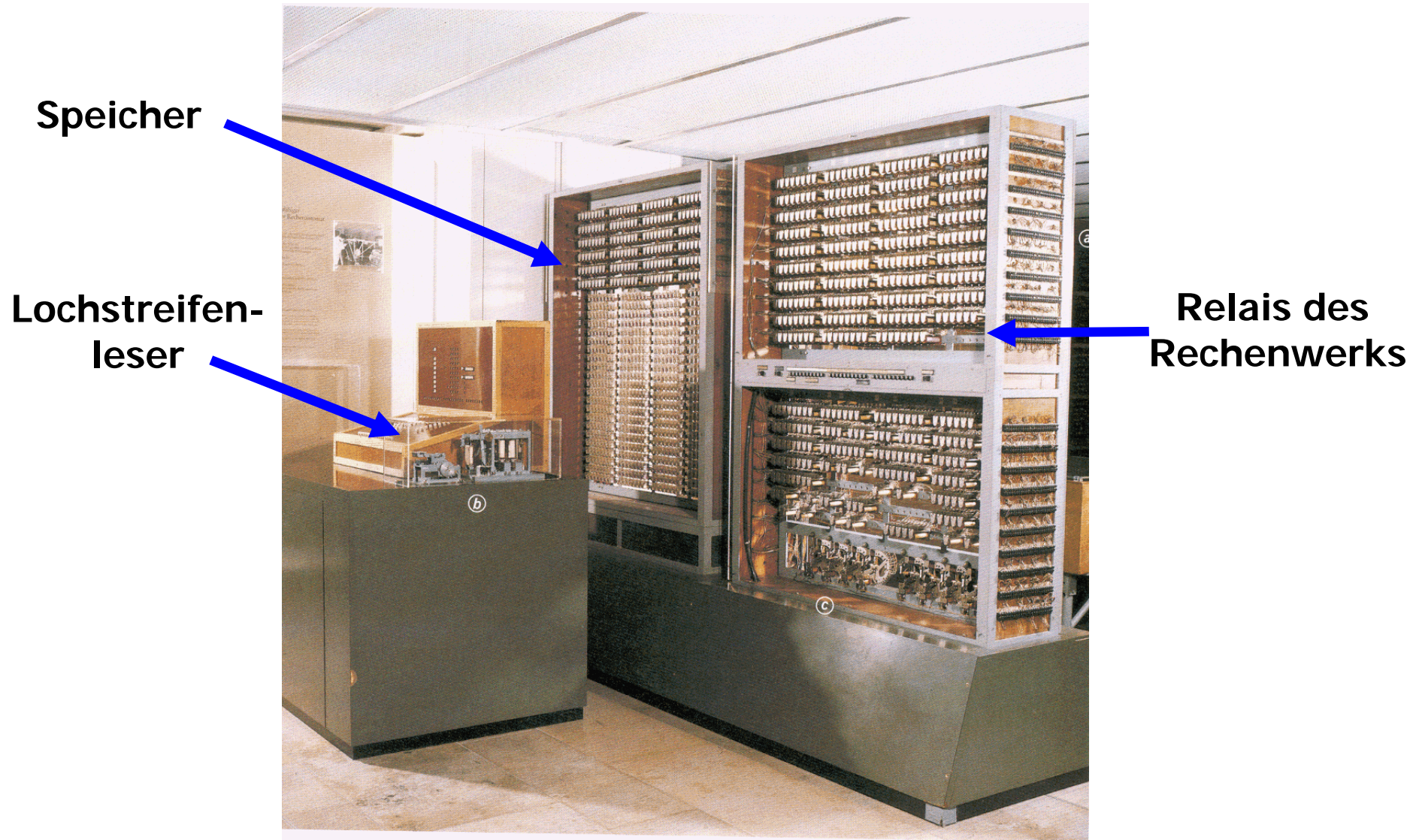
- Speicher, Eingabewerk, Rechenwerk, Plansteuerwerk und Ausgabewerk.
- Anwendung des Dualsystems und der halblogarithm. Zahlendarstellung (Gleitkommadarstellung) sowie des Aussagenkalküls
- Gebaute Maschinen (Z1, Z2, Z3 und Z4)
- Die Maschinen wurden 1944 zerstört
Nachbau der Z3 steht im Deutschen Museum in München



Z1: erster Computer der Welt



Z3



1.2 Historische Entwicklung der Rechenmaschinen

1938: Howard Aiken

- Erster programmgesteuerter Rechenautomat **der USA**
(Havard Mark I)
- Dezimales Zählrad Prinzip
- Sehr große Maschine
- Relativ schnell
 - Addition von 23 stelligen Dezimalzahlen in 0,3 sec
 - Multiplikation in 65 sec und Division in 115 sec
- Zur Ein- und Ausgabe wurden gelochte Papierbänder benutzt
- Mark II: Aikens Nachfolgermodell



1.2 Historische Entwicklung der Rechenmaschinen

1943-1949: P. Eckert, J.W. Mauchly

- Bau des Rechenautomaten **ENIAC (Electronic Numerical Integrator And Computer)**
- Erstmals Anwendung elektronischer Schaltelemente
- 17468 Elektronenröhren, 1500 Relais
- Gewicht: 30 Tonnen, Leistungsverbrauch: 174 KW
- Addition von 10-stelligen Zahlen in 0,2 msec
Multiplikation in 2,8 msec
- Programmierung durch Verschalten von Schalttafeln
(Sehr umständlich und fehleranfällig)



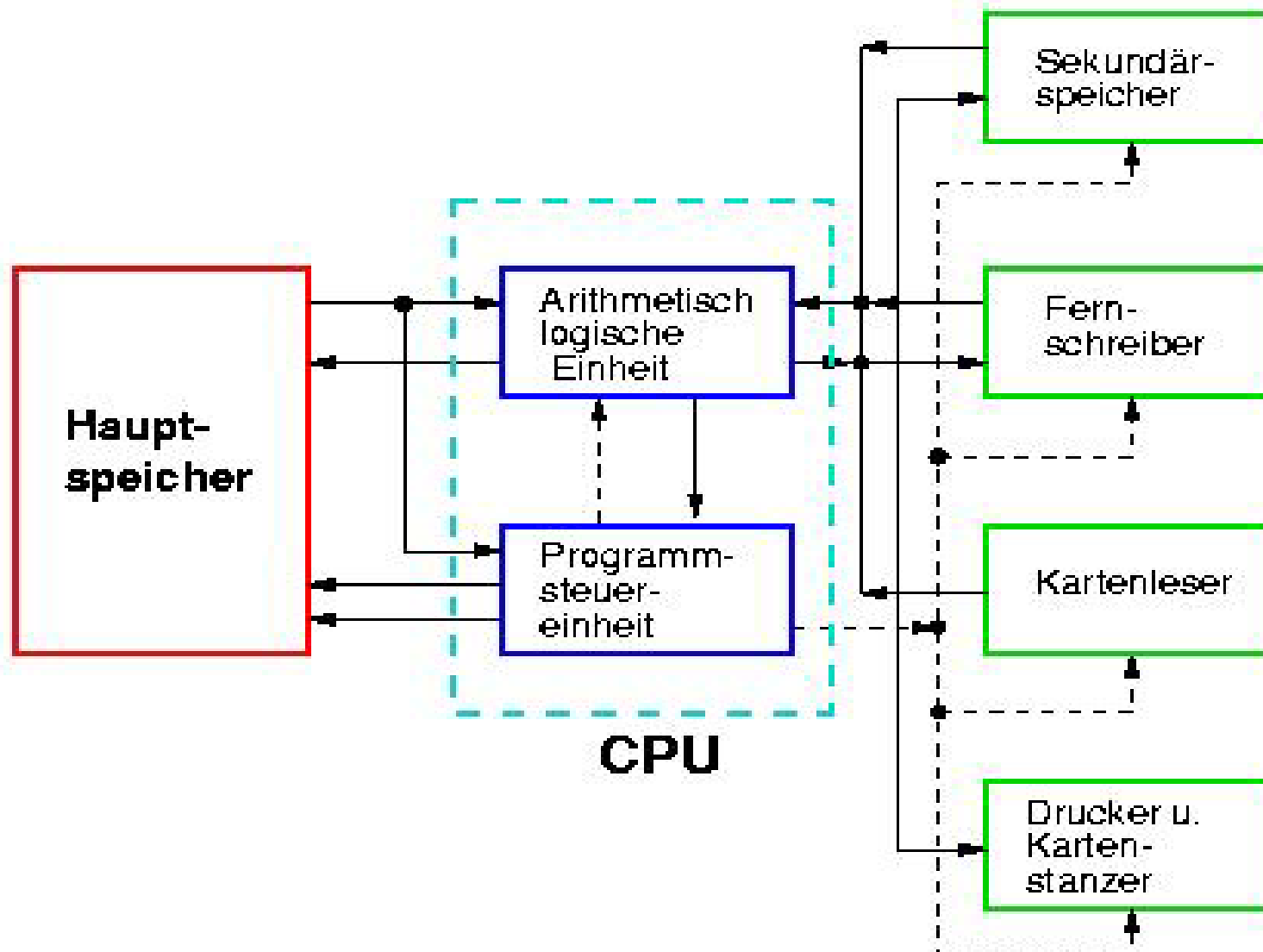
1.2 Historische Entwicklung der Rechenmaschinen

1944-1946: Von Neumann, A.W. Burks, H.H. Goldstine

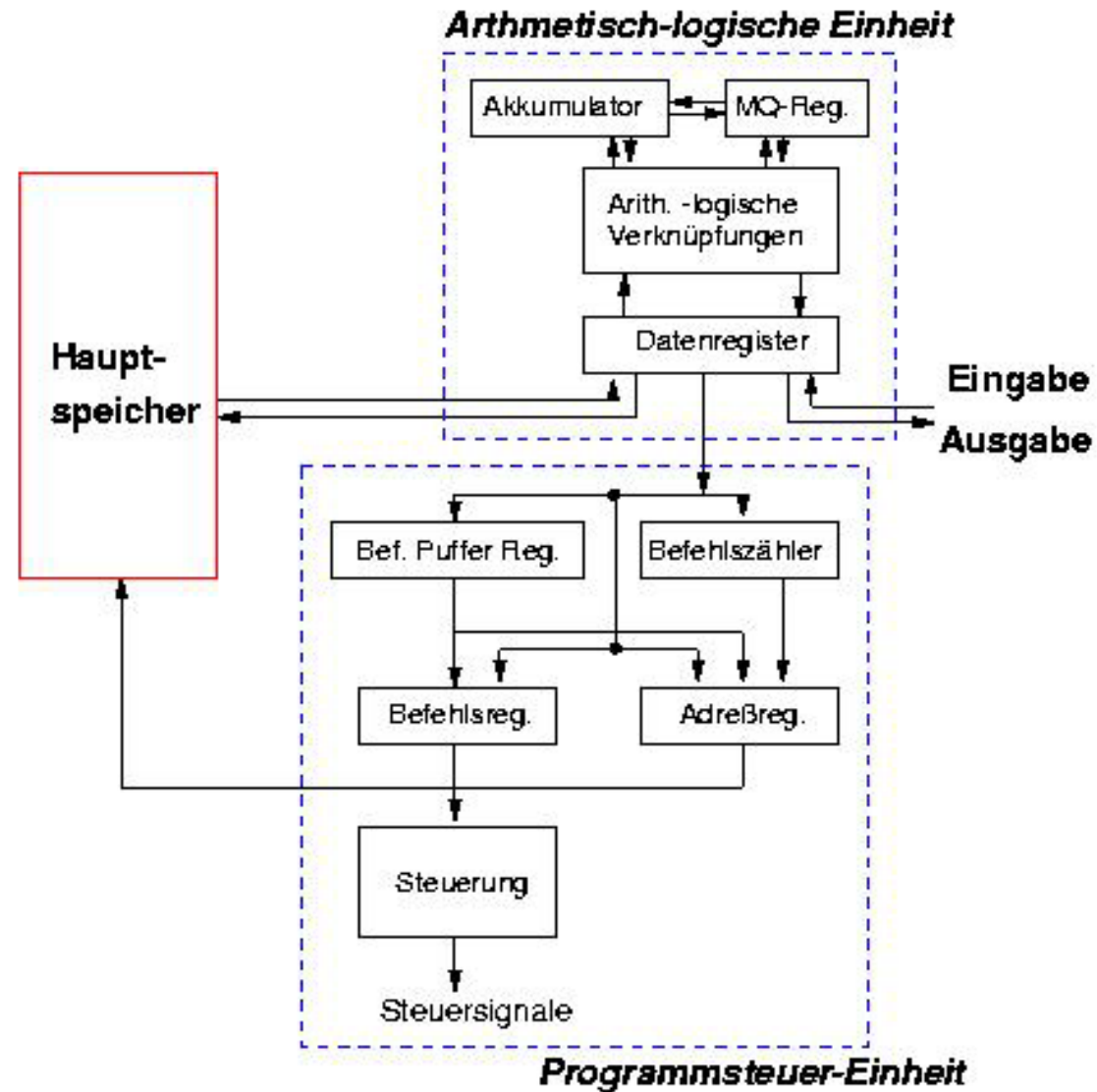
- Bau des Rechenautomaten **EDVAC (Electronic Discrete Variable Automatic Computer)**
- Anwendung elektronischer Schaltelemente
- Programm mit Befehlen und Adressen wurde erstmals intern gespeichert und in der gleichen Art kodiert und gespeichert.
- Adressen und Befehle konnten von der Maschine selbst verändert werden
- Aufgrund bedingter Befehle war die Maschine in der Lage, den Programmablauf in Abhängigkeit von Zwischenergebnissen zu ändern



Von Neumann, A.W. Burks, H.H. Goldstine: EDVAC



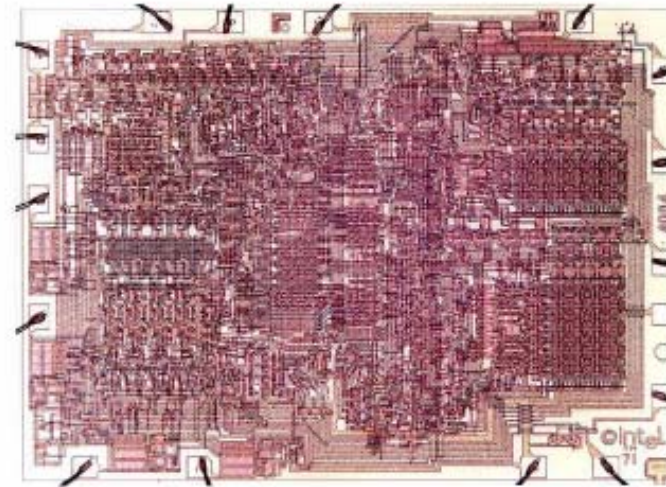
Von-Neumanns Version der EDVAC: IAS-Maschine



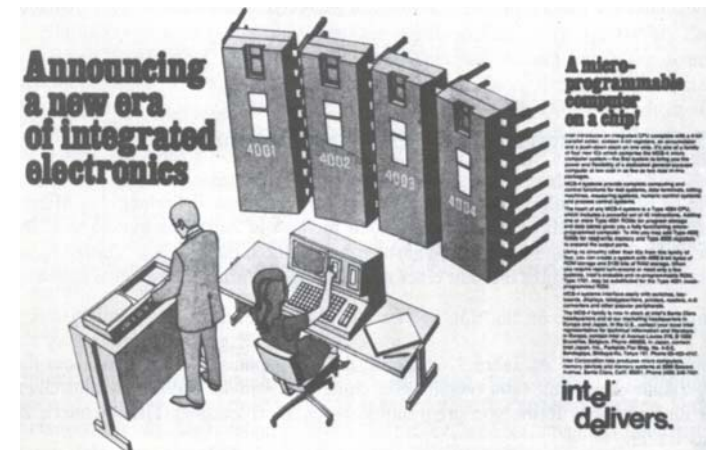
1.3 Historische Entwicklung von Prozessoren

- **1971:**
Intel 4004 als Kernstück
eines Mikrorechner
systems (MCS 4)

Festwertspeicher, RAM,
Zentraleinheit (CPU),
4 Bit BCD ALU,
4 Bit Datenbus,
12 Bit Adressbus,
45 Befehle,
Entwicklungszeit: ca. 9 Mannmonate



- 4-bit accumulator architecture
- 8µm pMOS
- 2,300 transistors
- 3 x 4 mm²
- 750kHz clock
- 8-16 cycles/inst.

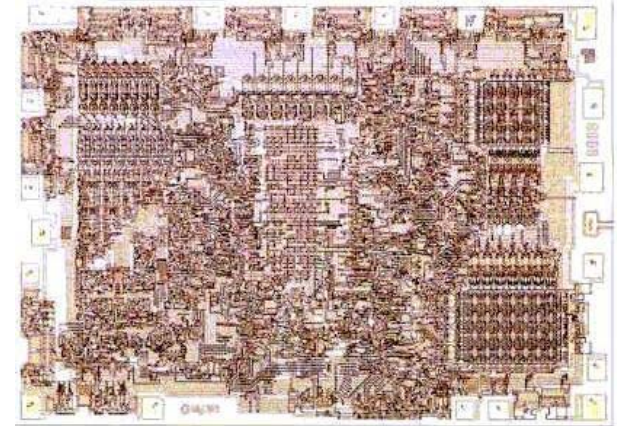


Fachzeitschrift: *Electronics News*
Die erste µP-Anzeige (15. Nov. 1971)

1.3 Historische Entwicklung von Prozessoren

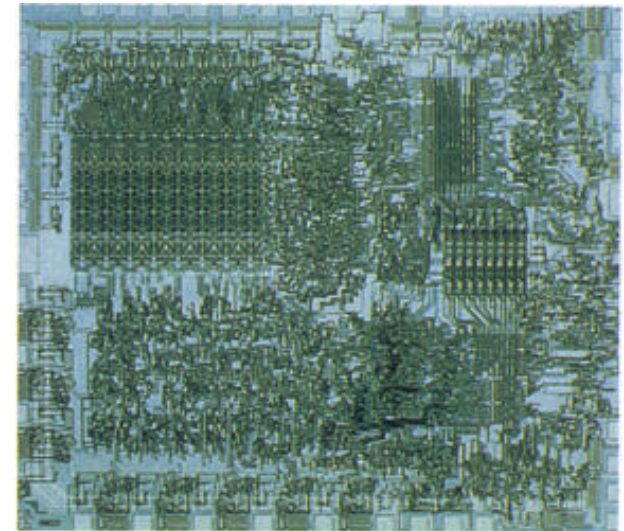
➤ 1972: 8008 als universelle 8-Bit CPU

- ca. 3000 Transistoren, PMOS Technologie (2 Versorgungsspannungen)
- 8 Bit Datenbus, 14 Bit Adressbus (16 kByte)
- 6 Register (8 Bit), 45 Befehle :
- Ausführungszeit der Instruktionen: ca. 30 Mikrosekunden
- 18 Anschlüsse



➤ 1972: Intel 8080

- 8 Bit Prozessor
- Ausführungszeit der Instruktionen: ca. 2 Mikrosekunden
- ca. 5000 Transistoren
- ab 1974 in NMOS-Technologie
- ca. 75 Befehle
- 8 Bit Datenbus, 16 Bit Adressbus (64kByte)
- Industriestandard



1.3 Historische Entwicklung von Prozessoren

➤ **1974:**

Motorola 6800: 8 Bit Prozessor in NMOS-Technologie, ca. 5000 Transistoren

➤ **1974:**

Erste Spezialprozessoren (z. B. zur Floppy-Disk oder Bildschirmsteuerung)

Erster CMOS-Prozessor von Rockwell (**RCA1802**)

➤ **1974:**

Erster 16 Bit Prozessor PACE von National

Semiconductor: PMOS Technologie, Instruktionszeit 10 Mikrosekunden (Als SUPER PACE in Bipolartechnologie erheblich schneller, aber auch wesentlich höherer Stromverbrauch)

