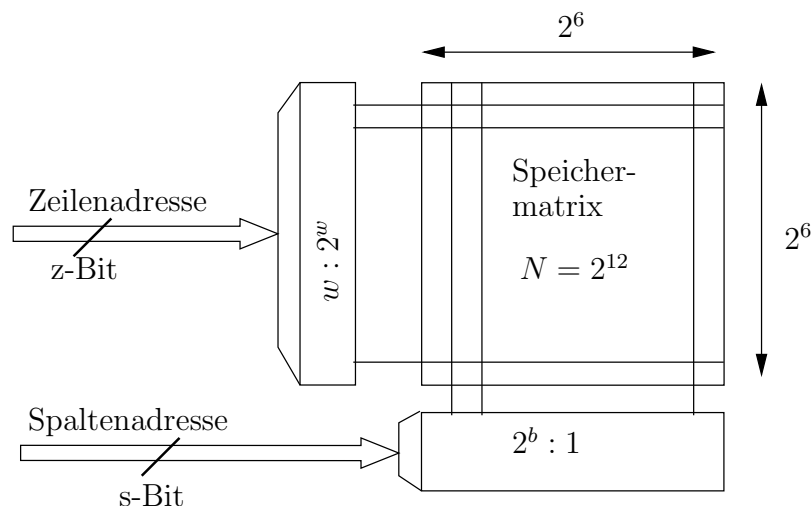




Lösung 1

1. Organisation des RAM-Speichers:



2. Quadratisches Silizium-Chip, deshalb ist es zweckmäßig $z = s = 6$ zu wählen. Damit ergibt sich für die Anzahl der Wortleitungen/Bitleitungen:

$$Z = 2^z = 2^6 = 64 \quad S = 2^s = 2^6 = 64$$

3. $z = s = 6$

Lösung 2

1. 512×8-Organisation: 512 Zellen mit 8-Bit Wörter \Rightarrow 512 Zellen müssen adressiert werden. Dazu sind 9 Adressleitungen erforderlich.
2. Es sind 8 RAM-Bausteine der Organisation 8k×1 notwendig, um einen Speicher mit einer Kapazität von 8k Wörter und einer Wortbreite von 8 Bit zu realisieren.
3. ROM-Baustein der Speicherkapazität von 2048 Bits und 8 Adressleitungen \Rightarrow Es können 256 Zellen adressiert werden \Rightarrow 256×8-Organisation

4. Speicherelement mit der Adresse $A2BE_{16}$

Zeilennummer $A2_{16} = 162_{10}$ Spaltennummer $BE_{16} = 190_{10}$

5. Anzahl der erforderlichen Chips: 16

Ein Chip ist $2\text{ M} \times 8\text{ bit} = 16\text{ Mbit}$ groß $\Rightarrow \frac{32\text{ Mbyte}}{16\text{ Mbit}} = 16\text{ Chips}$

Anordnung der Chips: 4 Chips pro Zeile und 4 Chips pro Spalte

6. 10 Chips mit je $4\text{ K} \times 4\text{ bit} \Rightarrow$ Speicher der Organisationsform: $8\text{ K} \times 20\text{ bit}$ (5 Chips pro Zeile; 2 Zeilen). Das 20. Bit bleibt unbenutzt.

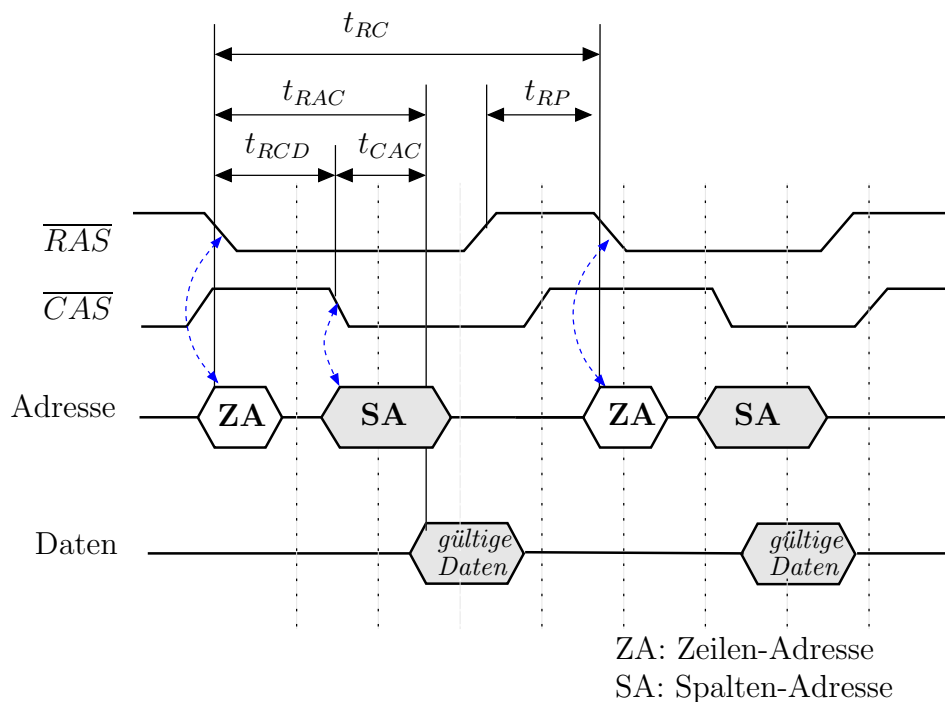
3 Chips der Organisation $8\text{ K} \times 1\text{ bit}$ und 8 Chips der Organisation $4\text{ K} \times 4\text{ bit}$ realisieren exakt den geforderten Speicher, aber mit einem Chip mehr.

Lösung 3

1. Speicherelement mit der Adresse $ABC3_{16}$

Zeilennummer $AB_{16} = 171_{10}$ Spaltennummer $C3_{16} = 195_{10}$

2. (a)



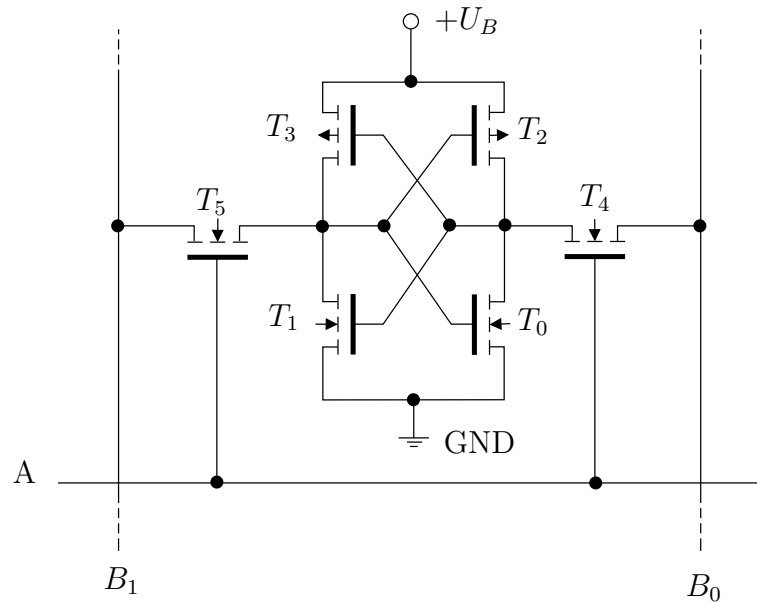
- (b) Timing-Parameter, die bei einem FPM-DRAM-Baustein wegfallen:
RAS-Precharge-Zeit (t_{RP}) und die RAS-CAS-Delay (t_{RCD})

Begründung:

Bei FPM-DRAM-Bausteinen lässt die Speichersteuerung das RAS-Signal nach dem ersten Lesezugriff aktiv, d. h. die Zeile (*page*) bleibt auch aktiv, so dass bei den Folgezugriffen in der gleichen Zeile des Bausteins nur noch eine neue Spaltenadresse angelegt werden muss.

Lösung 4

1. Aufbau einer statischen CMOS-RAM-Zelle:



2. Aufbau einer dynamischen CMOS-Speicherzelle:

