
Vorlesung

Technische Informatik II

SS 2007

Prof. Dr. J. Henkel

Dr.-Ing. Tamim Asfour

Institut für Technische Informatik (ITEC)

Lehrstuhl für eingebettete Systeme (CES)



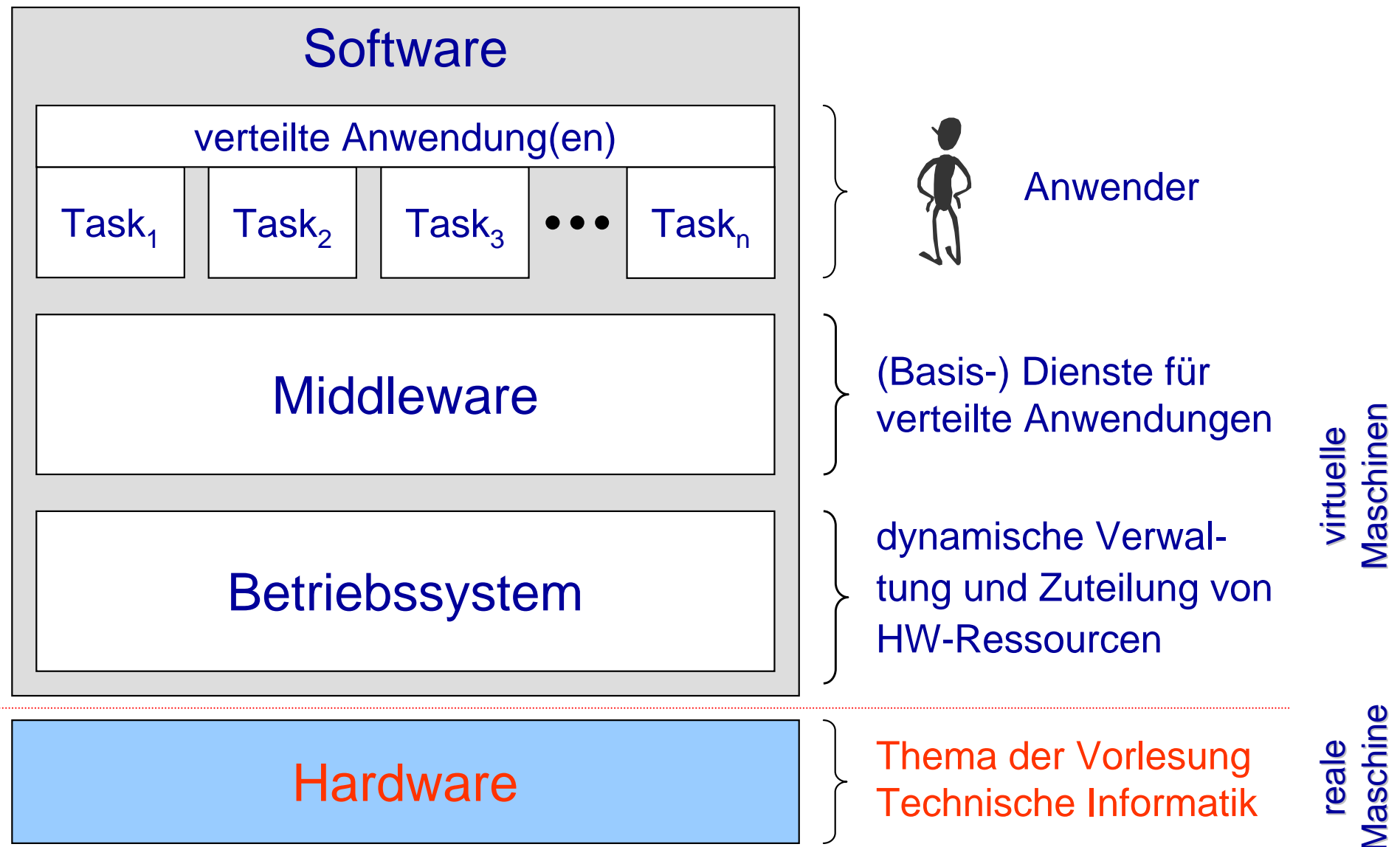
Sprechstunde (1)

Prof. Henkel:

Freitags 11:30 – 12:30 oder im Anschluss an die Vorlesung



Schichtenaufbau eines Rechensystems



Kapitel 1

1.1 Motivation

1.2 Historische Entwicklung von Rechenmaschinen

1.3 Historische Entwicklung von Mikroprozessoren



Moderne Entwicklung in Schlagworten

- ❑ Viele neue computerbasierte Geräte werden den Alltag erleichtern → Handhelds, Wearable Computer, ...
- ❑ Rechner-Zahl nimmt weiterhin stark zu (allgegenwaertig) → Ubiquitäre Systeme
- ❑ Alles mit allem verbunden → Funknetze: Bluetooth, WLAN, UWB, ...

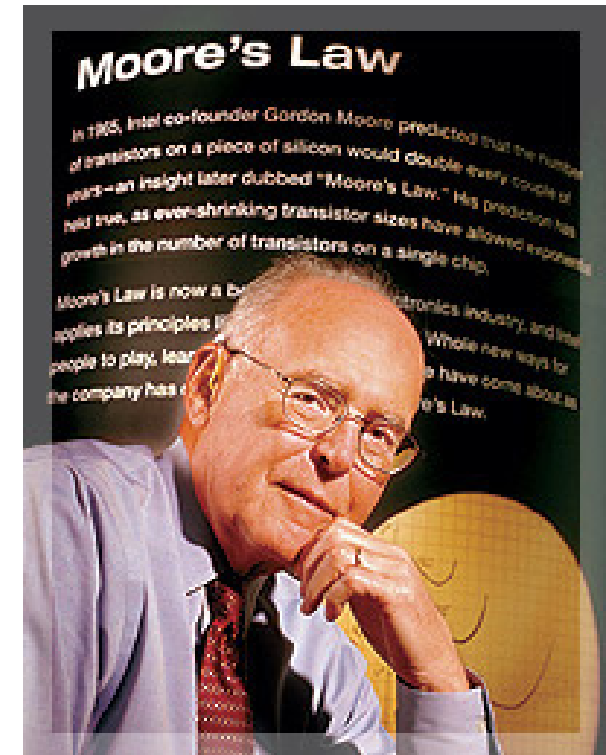
1.1 Motivation

Leistungssteigerung bei Mikroprozessoren ist durch folgende Maßnahmen erreicht worden:

- ❑ Erhöhung der Gatterzahl auf dem Chip,
- ❑ höhere Taktraten (heute: Limit erreicht) und
- ❑ Fortschritte beim Hardware-Entwurf
 - Verbesserte Chiparchitekturen
 - Einsatz von Standardzellen, IP cores, ...
 - Einsatz des Rechners für HW-Synthese (Entwurf) und Analyse (Simulation)

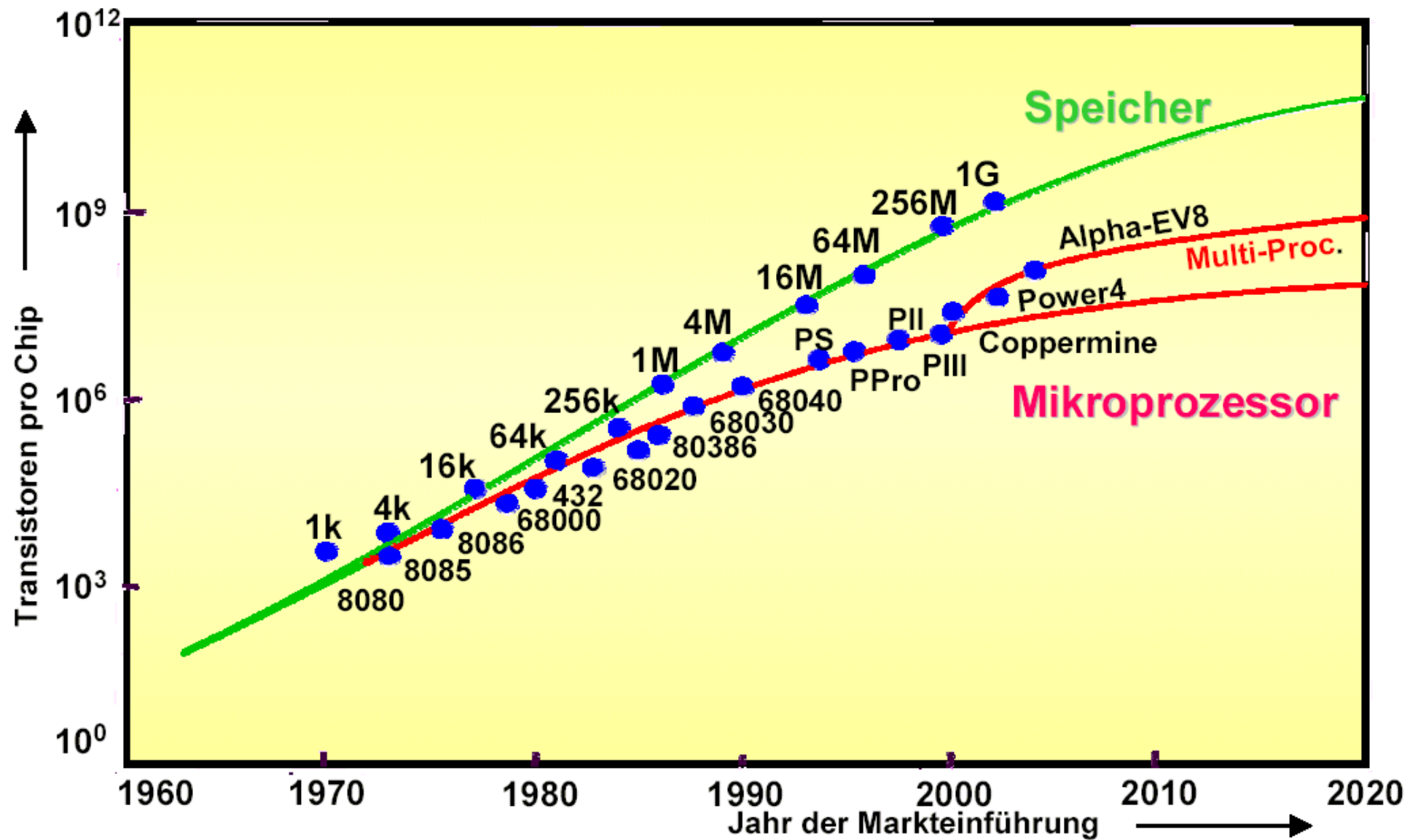
Exponentialgesetz der Mikroelektronik „Moore's Law“

- ❑ Die Anzahl der Transistoren pro (Prozessor-)Chip verdoppelt sich alle zwei Jahre.
- ❑ Die Verarbeitungsleistung der Hochleistungsprozessoren verdoppelt sich alle 18 Monate.
- ❑ Für den gleichen Preis liefert die Mikroelektronik die doppelte Leistung in weniger als zwei Jahren.



Gordon E. Moore

Exponentialgesetz der Mikroelektronik „Moore'sches Gesetz“



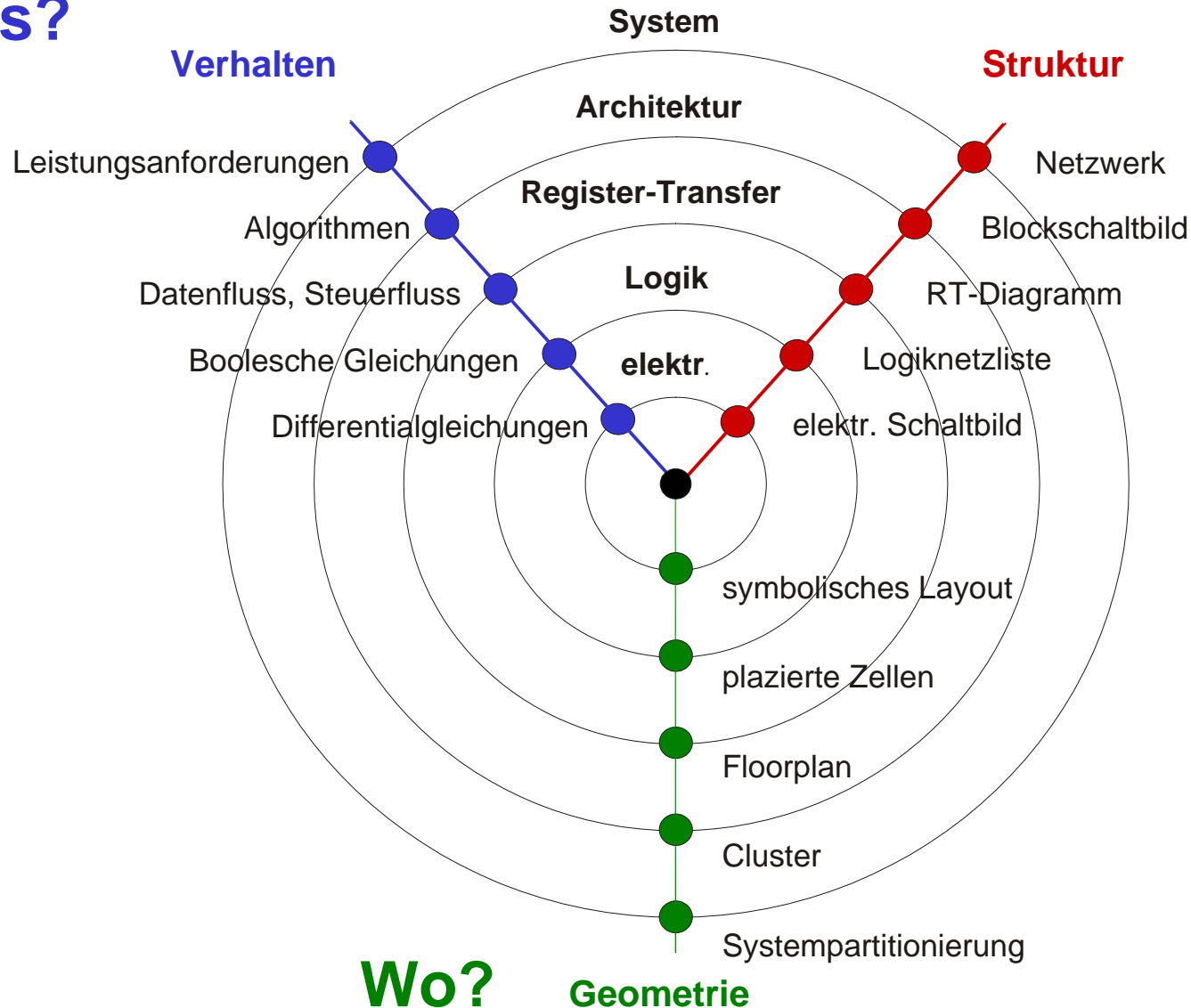
Hardwarearchitektur

- ❑ legt die Struktur und den Aufbau eines Rechensystems aus einzelnen Teilelementen fest und beschreibt die Schnittstellen dieser Elemente und deren Zusammenwirken zur Realisierung des Gesamtsystems
- ❑ **Problem: Hohe Komplexität**
 - mehrere hundert Millionen Schaltelementen (Transistoren) auf heutigen ICs
- ❑ **Lösung: Hierarchischer Entwurstil**
 - ausgehend von einer Darstellungsebene hohen Abstraktionsgrades wird das zu entwerfende Systems über mehrere Abstraktionsebenen immer weiter verfeinert

Y-Diagramm [D.D.Gajski]

Was?

Wie?



Wo?

Geometrie

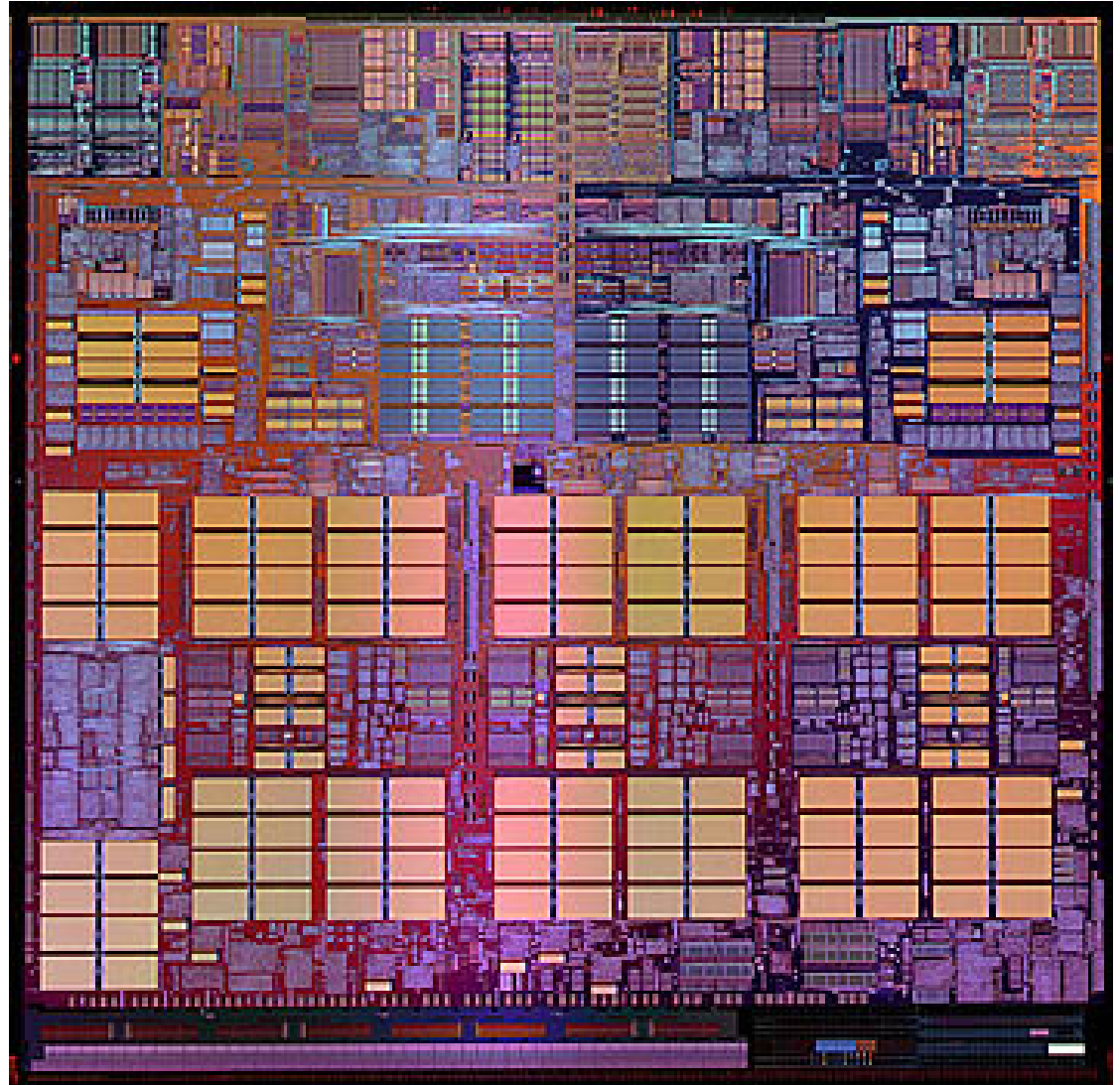


Beispiele von Mikroprozessoren

IBM Power 4

174 Mio Transistoren
400 mm²
0.18 μ in Kupfer-
Technik

Zwei unabhängige 64-
Bit Kerne mit eigenen
L1-Caches (32 KByte
Instruktionen und
64 KByte Daten).



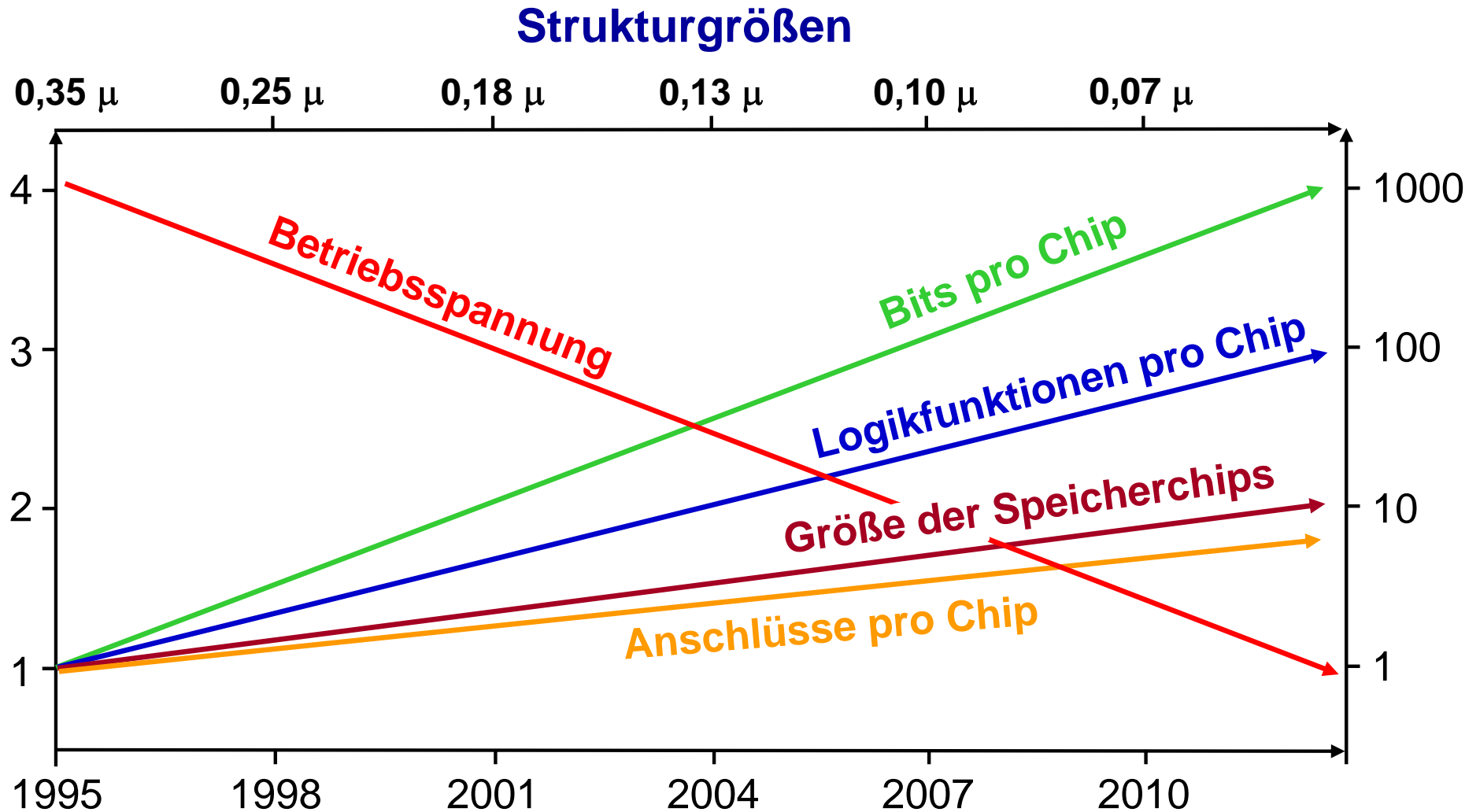
SIA Roadmap (Prognose 2000/2001)

Immer mehr Transistoren auf einem VLSI-Chip

Year	Unit	1993	1995	1999	2001	2003	2005	2008	2011	2014	2016
Feature Size	<i>microns/nm</i>	0.50	0.35	180	130	100	80	70	50	34	22
Internal Clock (high performance)	<i>Mhz/Ghz</i>	200	300	750	1.68	2.31	5.17	6.74	11.5	19.3	28.7
Logic transistors	<i>million/cm²</i>	2	4	6.6	13	24	44	109	269	664	
Microprocessor	<i>million transistors/chip</i>	5.2	12	23.8	47.6	95.2	190	539	1523	4308	
DRAM size	<i>Mbit/Gbit</i>	16	64	256	512	1	2	6	16	48	
SRAM size	<i>Mbit/Gbit</i>	1	4	16	64	256					
Voltage	<i>V_{dd}</i>	5	3.3	2.5	1.2	1.0	0.9	0.7	0.6	0.5	0.4

SIA: Semiconductor Industry Association
<http://www.sematech.org>

Mehr Leistung bei weniger Stromverbrauch



1.2 Historische Entwicklung der Rechenmaschinen

1642:Pascal

Erste funktionierende Rechenmaschine (Addition und Subtraktion)

Rein mechanisch, Betrieben mit einer Handkurbel

1672:G. W. Leibniz

4 Grundrechenarten

Mechanik nicht voll funktionsfähig

1722-74: M. Hahn

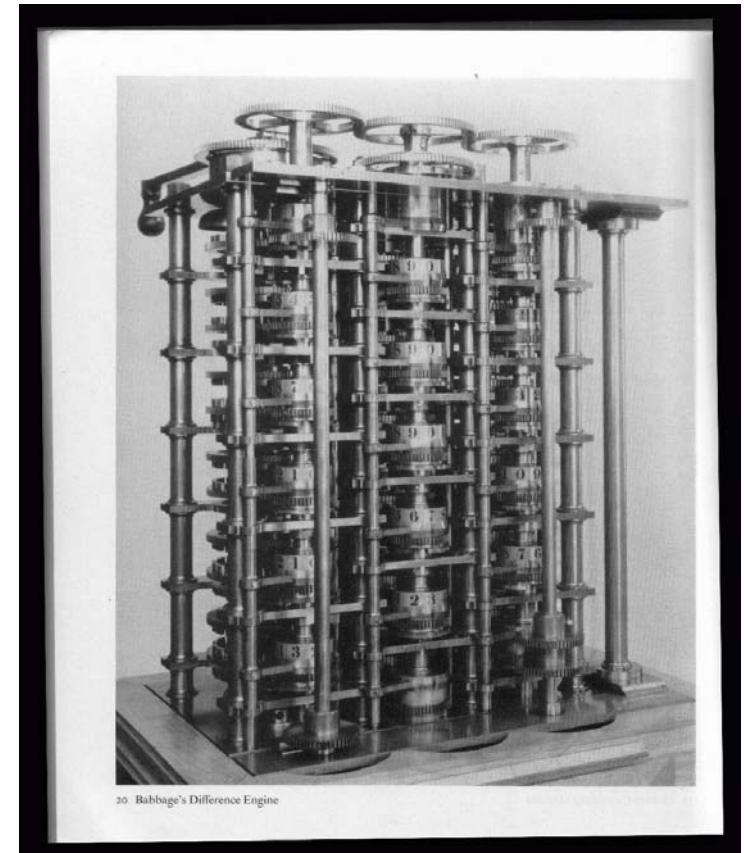
Mechanische Problem weitgehend gelöst.

1.3 Historische Entwicklung der Rechenmaschinen

Charles Babbage (1792-1871)

□ Difference Engine:

- Addition und Subtraktion
- Diente der Berechnung von Zahlentabellen für die Schifffavigation
- Führt nur einen einzigen Algorithmus (Methode der finiten Differenzen mit Hilfe von Polynomen)
- Ergebnisse wurden auf einer Kupferplatte gestanzt.



1.3 Historische Entwicklung der Rechenmaschinen

Charles Babbage (1792-1871)

❑ Analytical Engine:

- Erster Rechenautomat aus Speicher (Säulen), Recheneinheit (Mühle), Eingabeeinheit (Kartenleser) und Ausgabe
- Erstmals Programmsteuerung über Lochkarten
- Möglichkeit im Programm zu springen
- Ergebnisse wurden auf einer Kupferplatte gestanzt
- Enthält bereits die meisten Funktionsbaugruppen moderner Rechenautomaten
- Software: einfache Assemblersprache

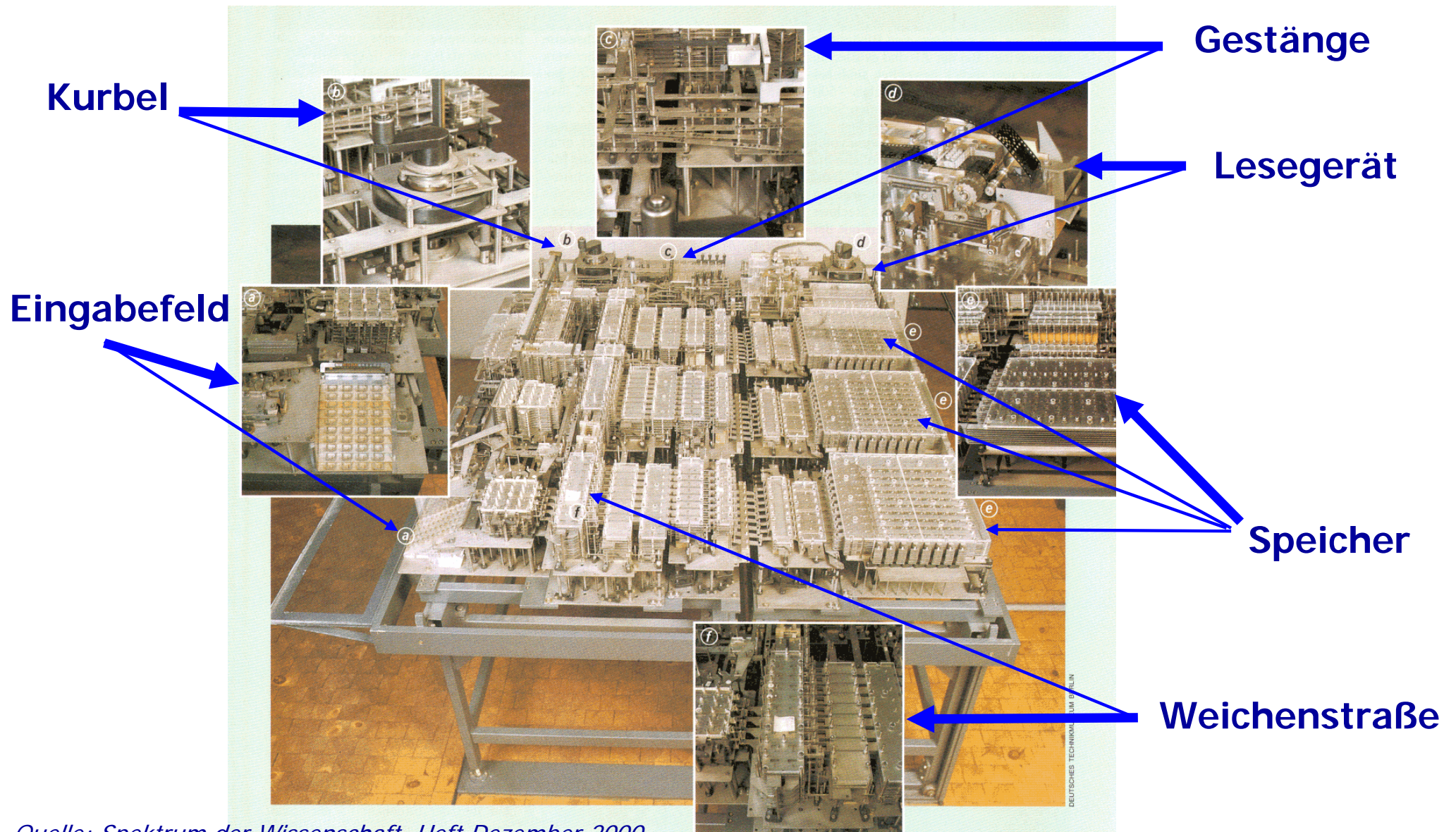
1.3 Historische Entwicklung der Rechenmaschinen

1936: Konrad Zuse

Baute eine Reihe von programmgesteuerte Rechenmaschinen mittels elektromagnetischer Relais

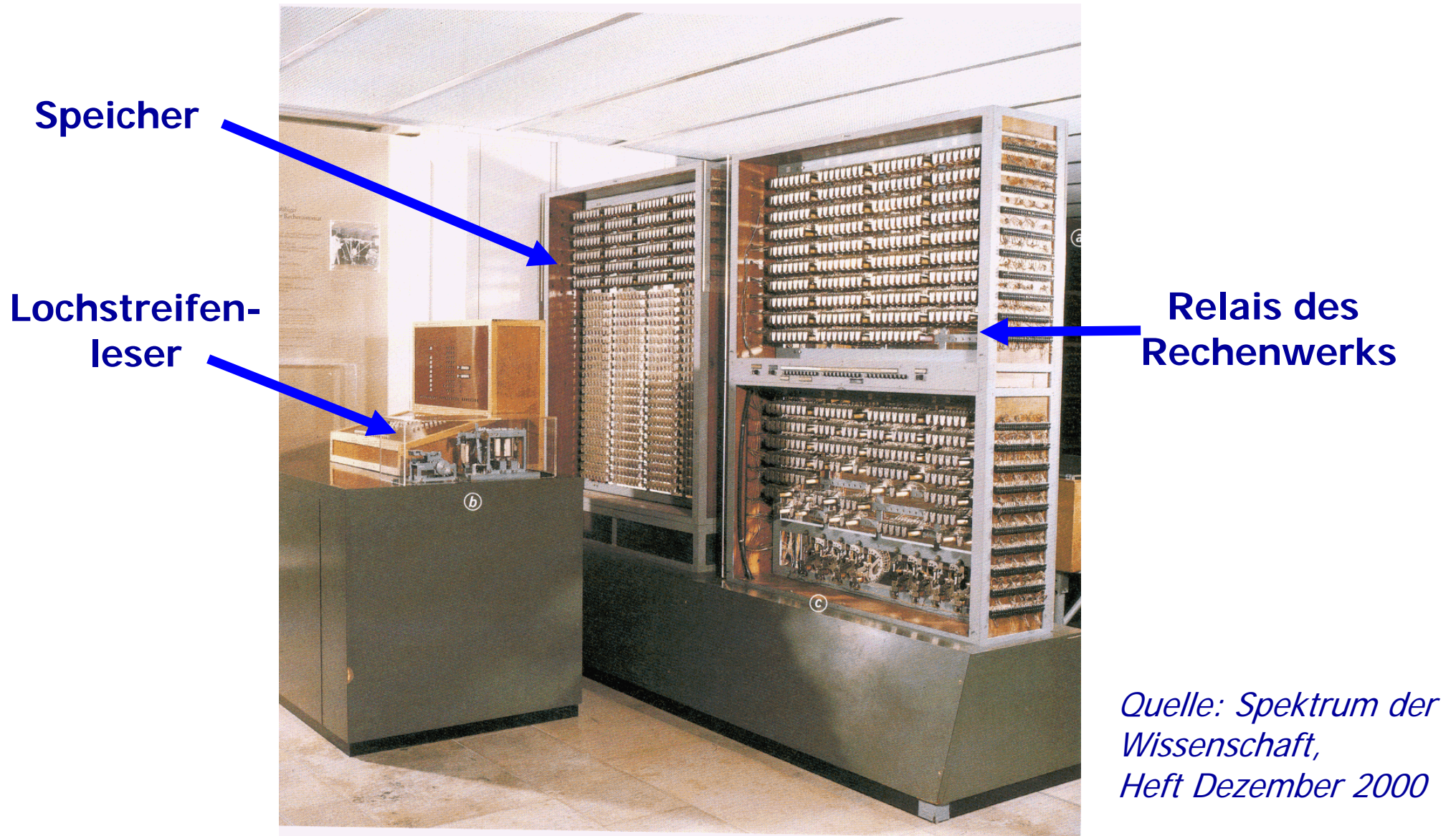
- Speicher, Eingabewerk, Rechenwerk, Plansteuerwerk und Ausgabewerk.
- Anwendung des Dualsystems und der halblogarithm. Zahlendarstellung (Gleitkommadarstellung) sowie des Aussagenkalküls
- Gebaute Maschinen (Z1, Z2, Z3 und Z4)
- Die Maschinen wurden 1944 zerstört
Nachbau der Z3 steht im Deutschen Museum in München

Z1: erster Computer der Welt



Quelle: Spektrum der Wissenschaft, Heft Dezember 2000

Z3



1.2 Historische Entwicklung der Rechenmaschinen

1938: Howard Aiken

- Erster programmgesteuerter Rechenautomat **der USA**
(Harvard Mark I)
- Dezimales Zählrad-Prinzip
- Sehr große Maschine
- Relativ schnell
 - Addition von 23-stelligen Dezimalzahlen in 0,3 sec
 - Multiplikation in 65 sec und Division in 115 sec
- Zur Ein- und Ausgabe wurden gelochte Papierbänder benutzt
- Mark II: Aikens Nachfolgermodell

1.2 Historische Entwicklung der Rechenmaschinen

1943-1949: P. Eckert, J.W. Mauchly

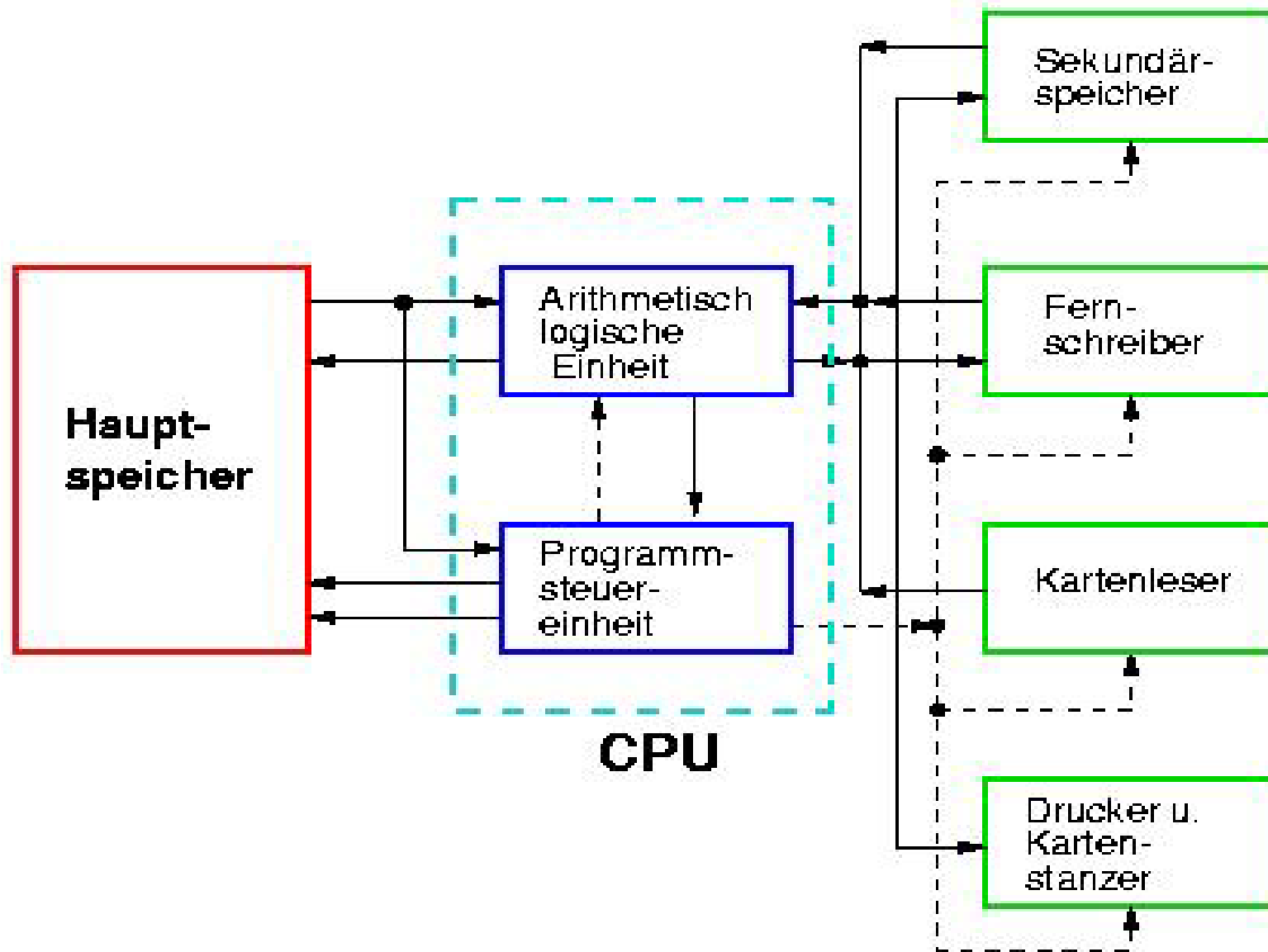
- Bau des Rechenautomaten **ENIAC (Electronic Numerical Integrator And Computer)**
- Erstmals Anwendung elektronischer Schaltelemente
- 17468 Elektronenröhren, 1500 Relais
- Gewicht: 30 Tonnen, Leistungsverbrauch: 174 KW
- Addition von 10-stelligen Zahlen in 0,2 msec
Multiplikation in 2,8 msec
- Programmierung durch Verschalten von Schalttafeln
(Sehr umständlich und fehleranfällig)

1.2 Historische Entwicklung der Rechenmaschinen

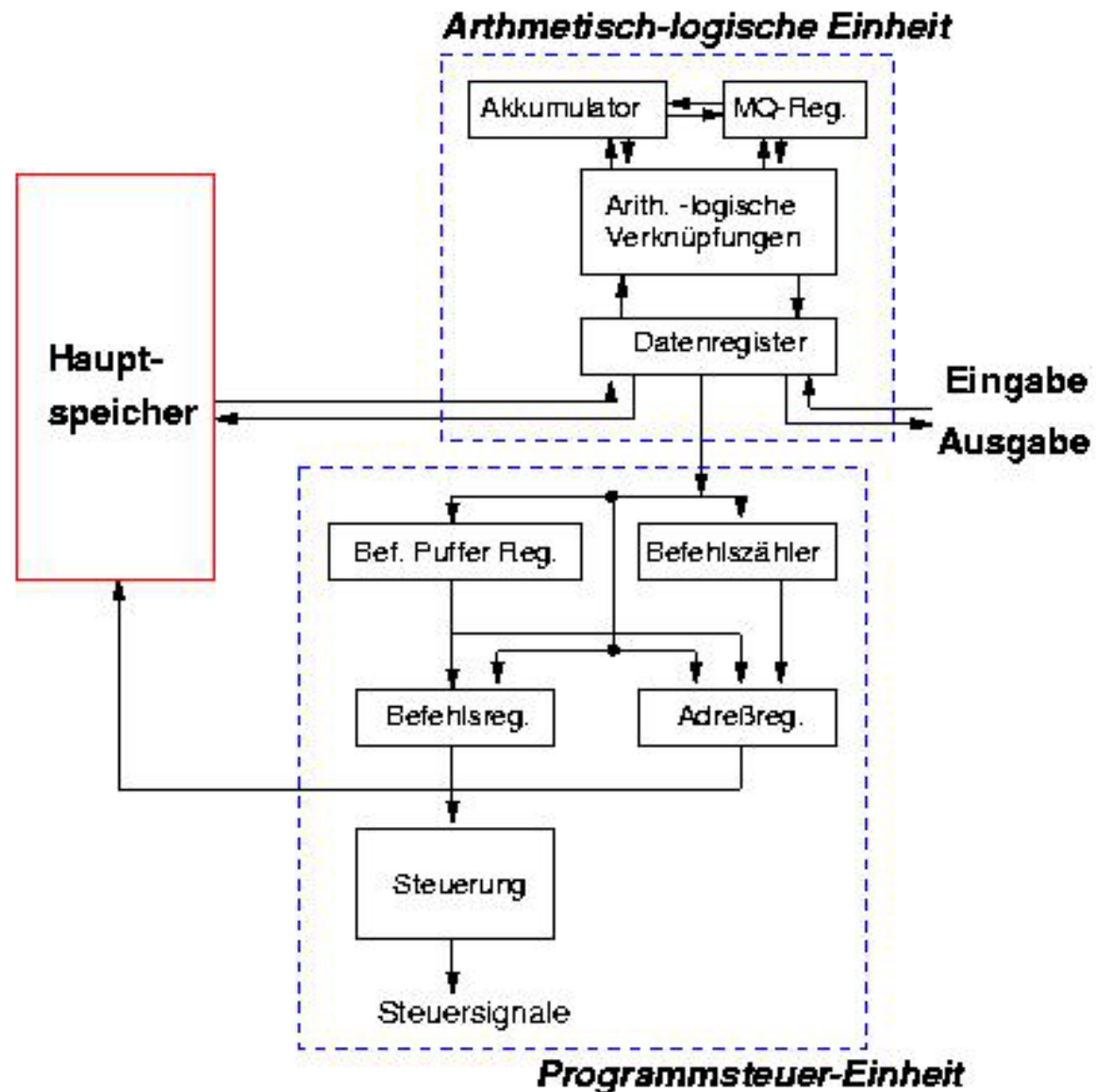
1944-1946: Von Neumann, A.W. Burks, H.H. Goldstine

- Bau des Rechenautomaten **EDVAC (Electronic Discrete Variable Automatic Computer)**
- Anwendung elektronischer Schaltelemente
- Programm mit Befehlen und Adressen wurde erstmals intern gespeichert und in der gleichen Art kodiert und gespeichert.
- Adressen und Befehle konnten von der Maschine selbst verändert werden
- Aufgrund bedingter Befehle war die Maschine in der Lage, den Programmablauf in Abhängigkeit von Zwischenergebnissen zu ändern

Von Neumann, A.W. Burks, H.H. Goldstine: EDVAC

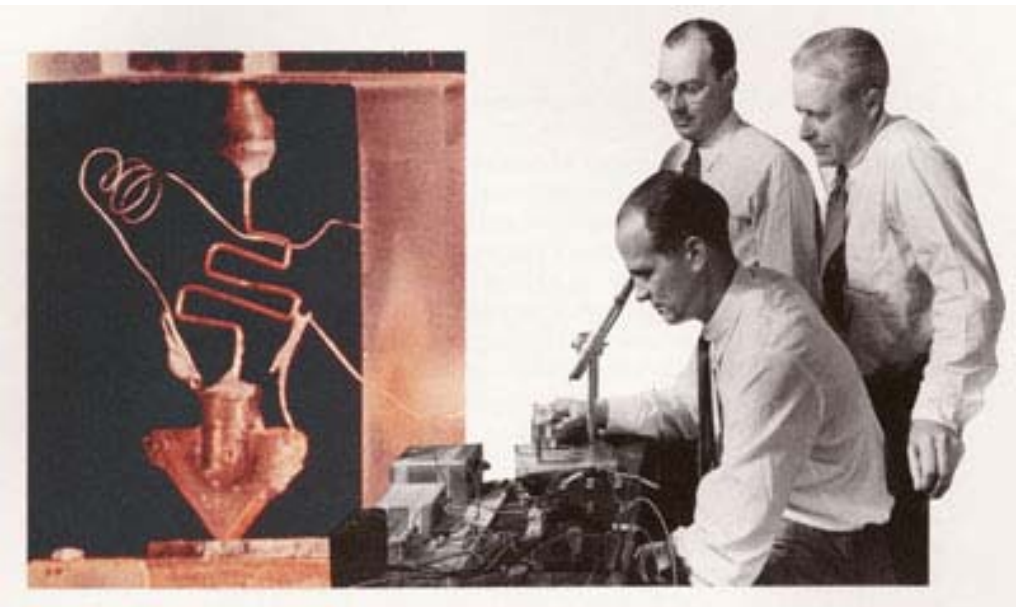


Von-Neumanns Version der EDVAC: IAS-Maschine



Erster Transistor 1947 (1)

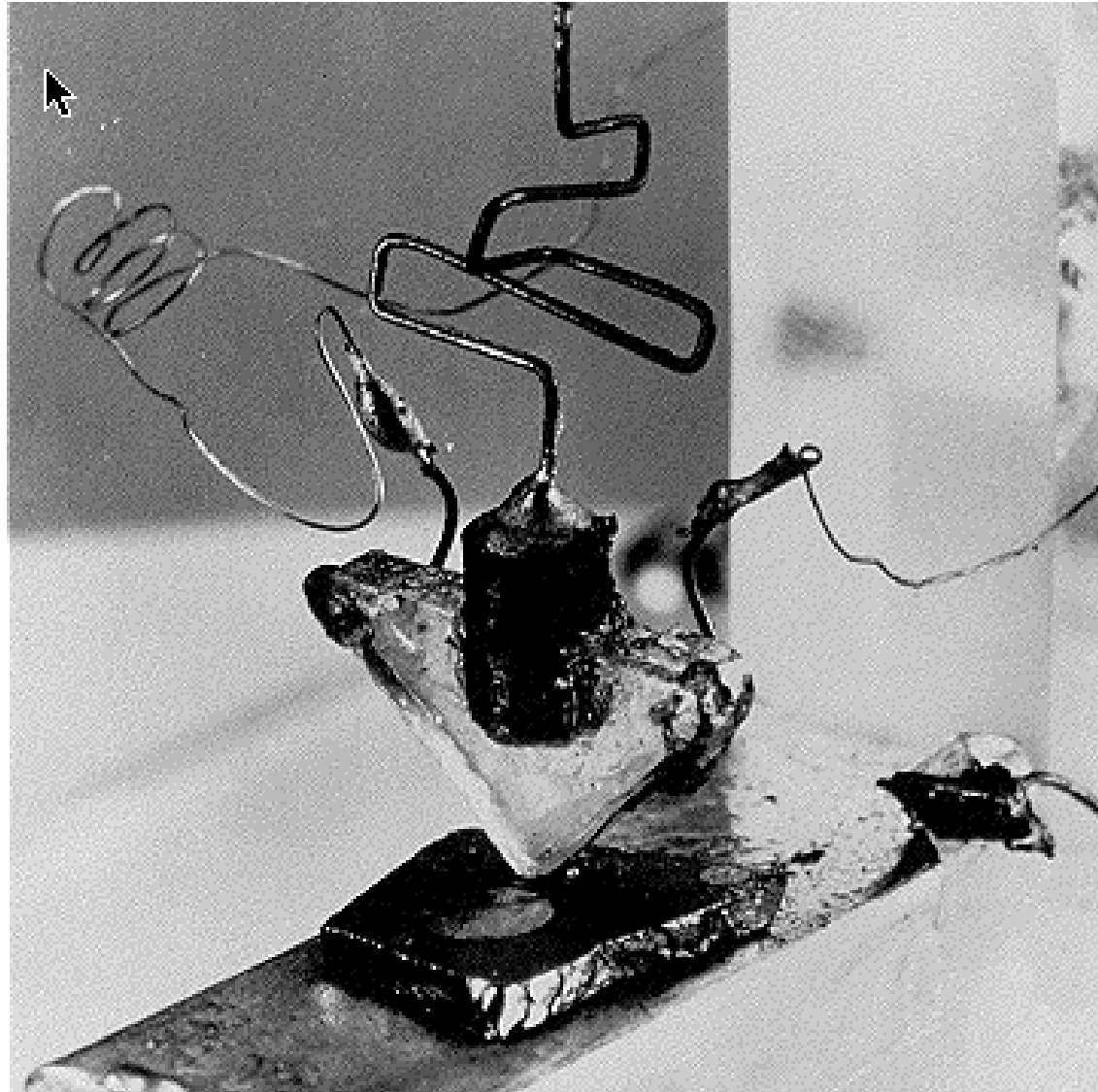
- ❑ Ersetzt die Vakuum-Röhre und eröffnet die Möglichkeit zur Integration und ist damit die Voraussetzung für das rapide Wachstum (siehe auch Moore's Law) integrierter Schaltkreise
- ❑ Erfinder: Shockley, Bardeen, Brattain in den AT&T Bell Labs, Murray Hill, NJ
- ❑ Nobel Preis in Physik 1956
- ❑ **US Patent #02569347**
- ❑ Basierend auf Halbleitern; pn-Übergängen



[Quelle: Bell Labs]

Erster Transistor 1947 (2)

Punkt-Kontakt- Transistor

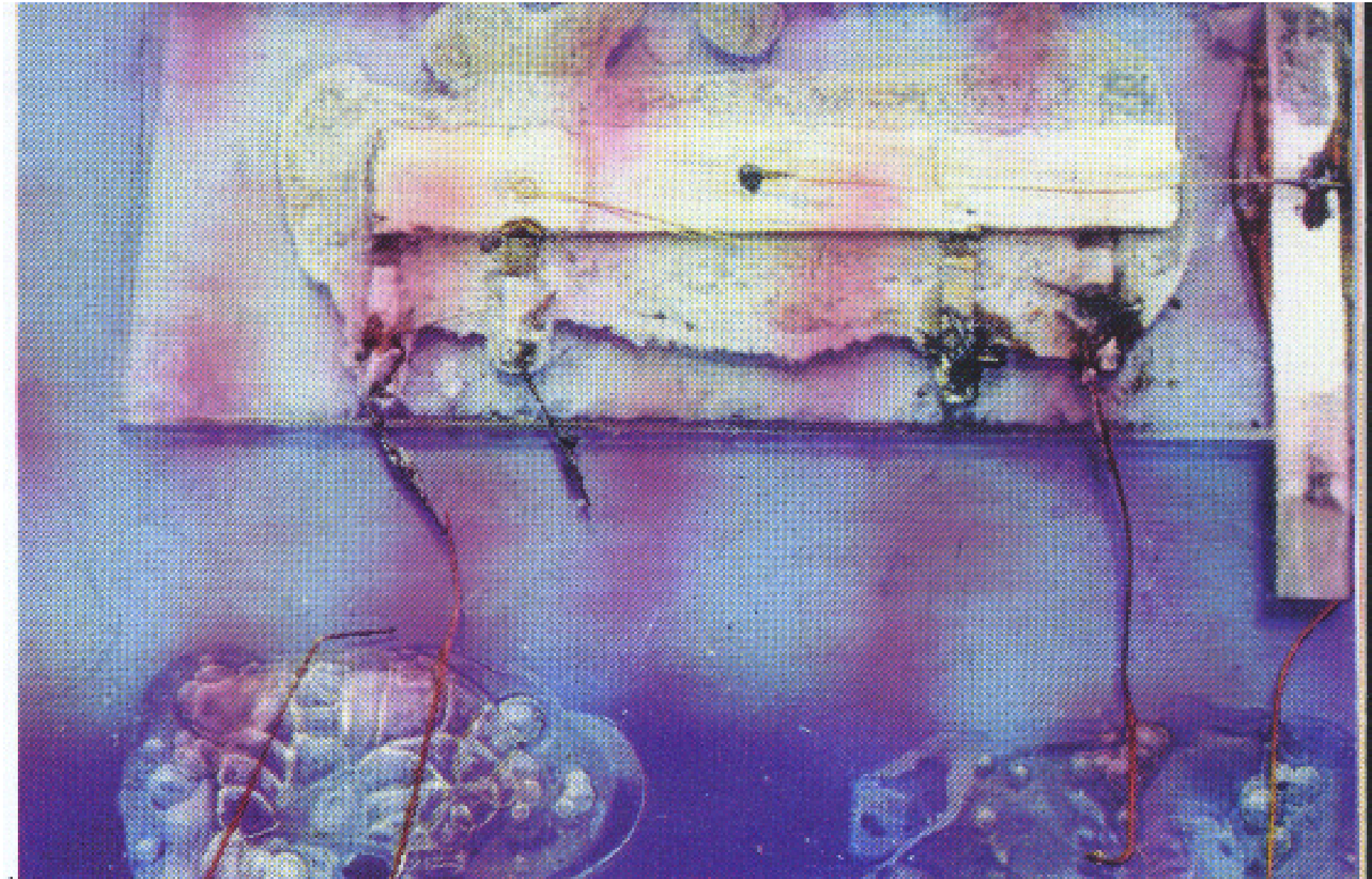


[Quelle: Bell Labs]

Geschichte des ersten Integrierten Schaltkreises

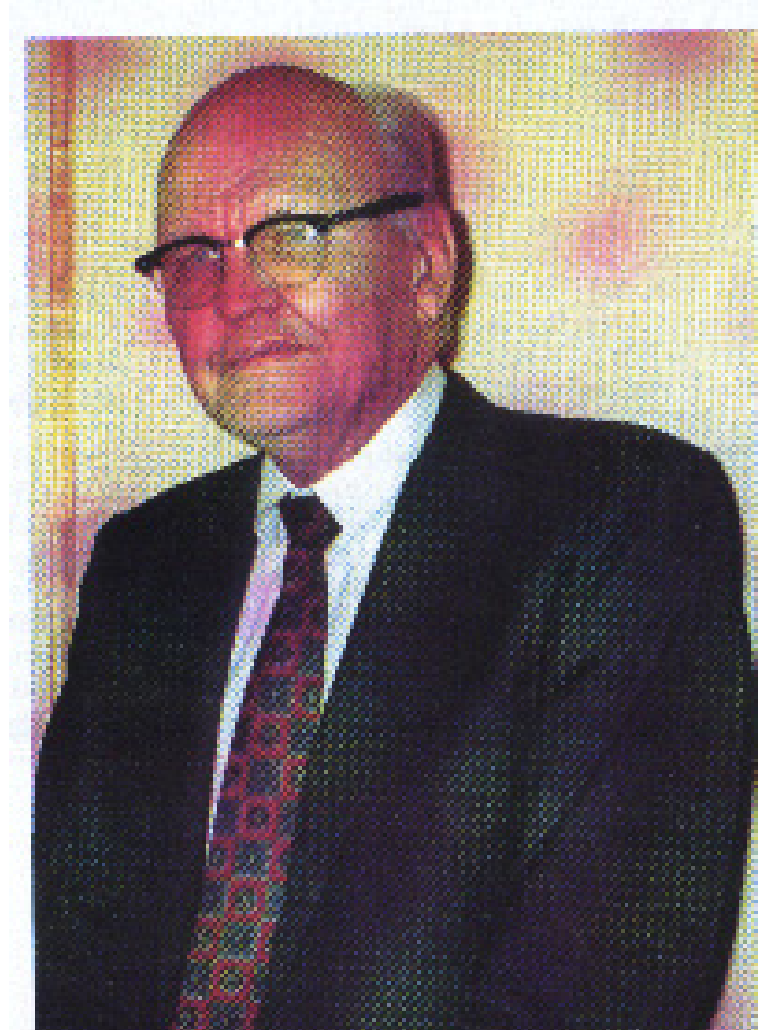
- ❑ **1958** bauen **Jack S. Kilby** und **Robert N. Noyce** unabhängig voneinander die erste Integrierte Schaltung
- ❑ **Jack S. Kilby** wechselte im Mai 1958 zu Texas Instruments nach Dallas
- ❑ September 1958 lötet er den ersten IC mit Golddrähte als Verbindungen auf einem einzigen Stück Germanium
- ❑ **Robert N. Noyce** erfindet in der gleichen Zeit bei Fairchild Semiconductor den IC mit Silizium als Träger- und Aluminium als Leiterbahnmaterial

Der erste Integrierte Schaltkreis von Kilby



Geschichte des ersten Integrierten Schaltkreises

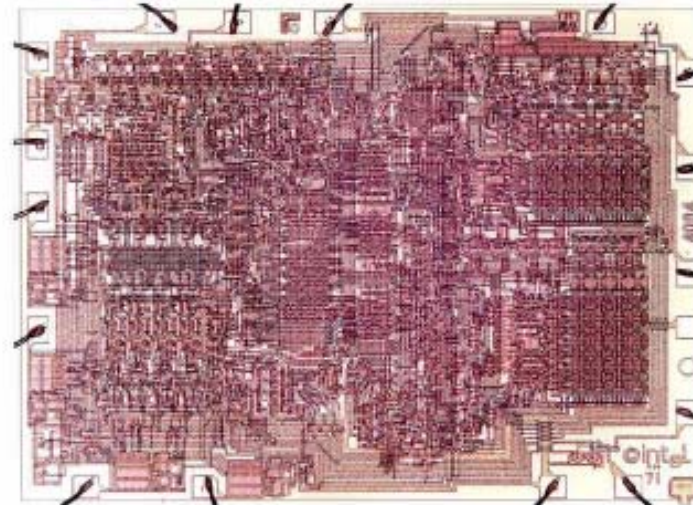
- ❑ Kilby war später Miterfinder des Taschenrechners und des Thermodruckers
- ❑ Herbst 2000: Nobelpreis für Physik geht an Kilby
- ❑ Noyce gründete 1968 mit Moore die Firma Intel, der er bis 1979 vorstand
- ❑ *Quelle: Spektrum der Wissenschaft, Heft Dezember 2000*



1.3 Historische Entwicklung von Prozessoren

- **1971:**
Intel 4004 als Kernstück
eines Mikrorechner-
systems (MCS-4)

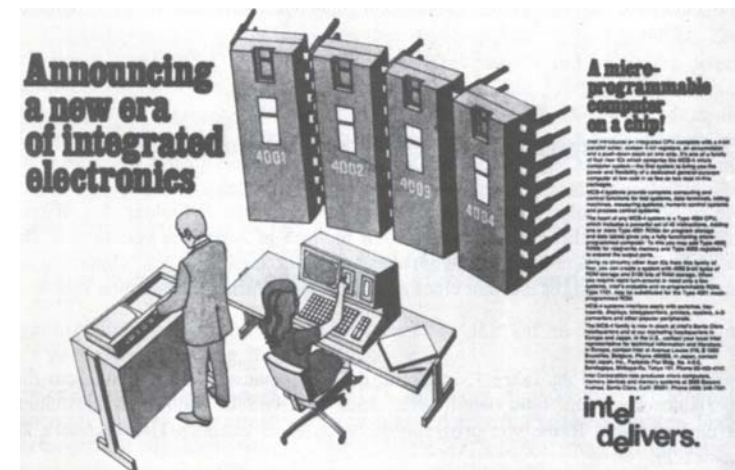
Festwertspeicher, RAM,
Zentraleinheit (CPU),
4 Bit BCD ALU,
4 Bit Datenbus,
12 Bit Adressbus,
45 Befehle,
Entwicklungszeit: ca. 9 Mannmonate



- 4-bit accumulator architecture
- 8µm pMOS
- 2,300 transistors
- 3 x 4 mm²
- 750kHz clock
- 8-16 cycles/inst.

Quelle: Intel Museum:

http://www.intel.com/museum/online/hist_micro/hof/

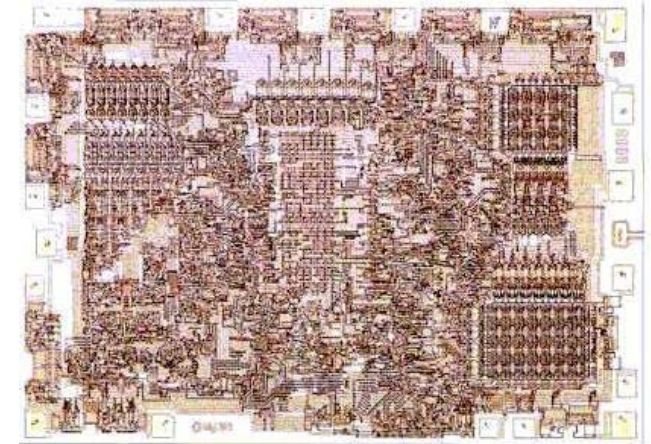


Fachzeitschrift: *Electronics News*
Die erste µP-Anzeige (15. Nov. 1971)

1.3 Historische Entwicklung von Prozessoren

➤ 1972: 8008 als universelle 8-Bit CPU

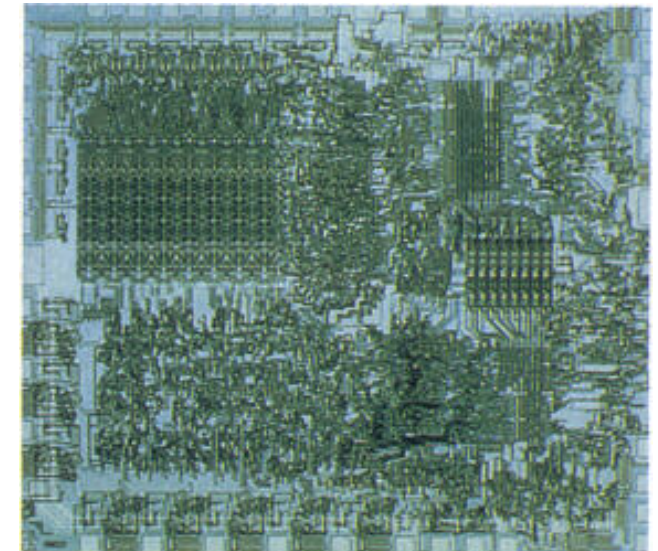
- ca. 3000 Transistoren, PMOS Technologie (2 Versorgungsspannungen)
- 8 Bit Datenbus, 14 Bit Adressbus (16 kByte)
- 6 Register (8 Bit), 45 Befehle :
- Ausführungszeit der Instruktionen: ca. 30 Mikrosekunden
- 18 Anschlüsse



Quelle: Intel Museum

➤ 1972: Intel 8080

- 8 Bit Prozessor
- Ausführungszeit der Instruktionen: ca. 2 Mikrosekunden
- ca. 5000 Transistoren
- ab 1974 in NMOS-Technologie
- ca. 75 Befehle
- 8 Bit Datenbus, 16 Bit Adressbus (64kByte)
- Industriestandard



1.3 Historische Entwicklung von Prozessoren

➤ **1974:**

Motorola 6800: 8 Bit Prozessor in NMOS-Technologie, ca. 5000 Transistoren

➤ **1974:**

Erste Spezialprozessoren (z. B. zur Floppy-Disk oder Bildschirmsteuerung)

Erster CMOS-Prozessor von Rockwell (**RCA1802**)

➤ **1974:**

Erster 16 Bit Prozessor PACE von National

Semiconductor: PMOS Technologie, Instruktionszeit 10 Mikrosekunden (Als SUPER-PACE in Bipolartechnologie erheblich schneller, aber auch wesentlich höherer Stromverbrauch)

1.3 Historische Entwicklung von Prozessoren

➤ 1976:

- **TMS 9000 von Texas Instruments:**
16 Bit Prozessor, verwaltete seine Register im Schreib-Lesespeicher => rascher Programmwechsel, aber langsame Verarbeitungszeit
- **Z80 der Firma Zilog:**
8 Bit Prozessor, aufwärtskompatibel zu 8080, aber mit höherer Leistungsfähigkeit und mehr Befehlen
- **8085 von Intel:**
Erweiterung des 8080 mit verbesserter Unterbrechungsverwaltung, verbesserter Peripheriesteuerung

1.3 Historische Entwicklung von Prozessoren

➤ 1978:

8086 von Intel: Erster 16 Bit Prozessor von Intel, HMOS Technologie (High Density MOS), ca. 27000 Transistoren (aber 30% mehr Fläche als ein 8080), virtuelle Speicherverwaltung, 16 Bit Datenbus, 20 Bit Adressbus (1MByte)

➤ 1979:

- **68000 von Motorola:** 16 Bit Prozessor, intern jedoch 32 Bit Registersatz, HMOS Technologie, ca. 68000 Transistoren, 24 Bit Adressbus (16 MByte), orthogonaler Befehlsatz
- **Z8000 von Zilog:** 16 Bit Prozessor, Nachfolger des Z80

1.3 Historische Entwicklung von Prozessoren

➤ **1979:**

Erste Signalprozessoren, z.B. 2929 von Intel:

spezialisiert auf die Verarbeitung von analogen Signalen, die durch interne AD/DA-Wandler digitalisiert werden.

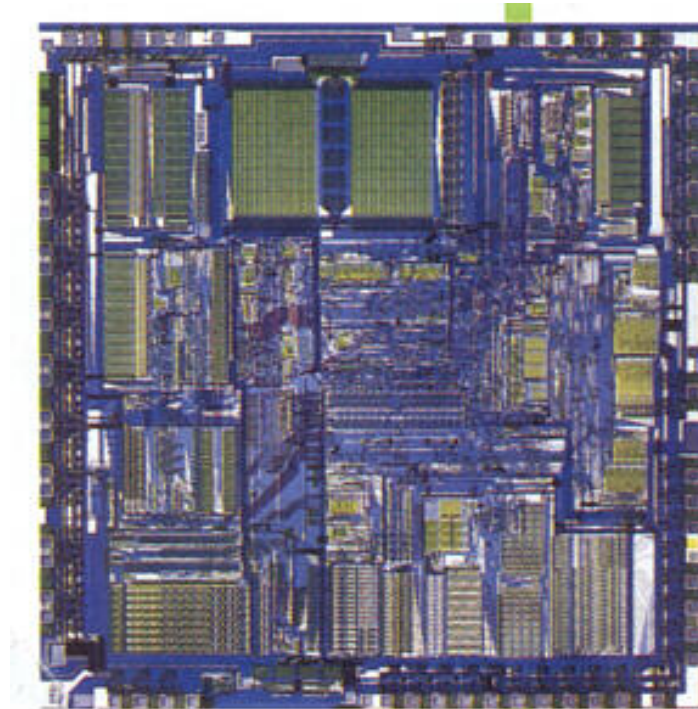
1979 existierten ca. 80 verschiedene Mikroprozessoren, es wurden bis dahin ca. 75 Millionen Mikroprozessoren verkauft

1.3 Historische Entwicklung von Prozessoren

➤ 1982:

• 80286 von Intel

- Nach dem 80186 der zweite Nachfolger des 8086
- ca. 130000 Transistoren
- Erweiterter Adressraum (16 Mbyte)
- Mehrere Betriebsarten
- Multitasking-Unterstützung
- Jahrelang in vielen Personal Computern (z. B. IBM AT) eingesetzt

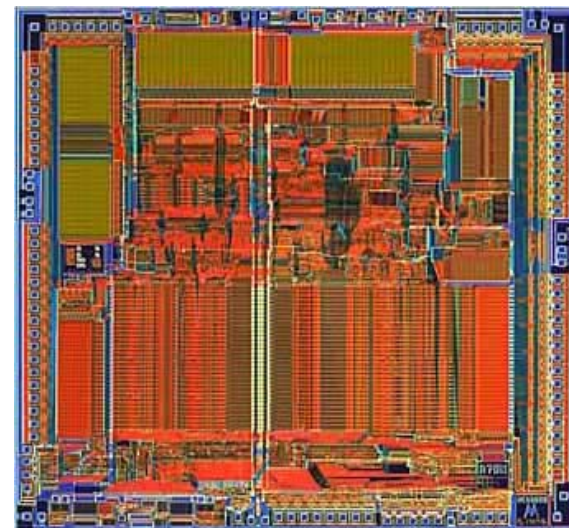
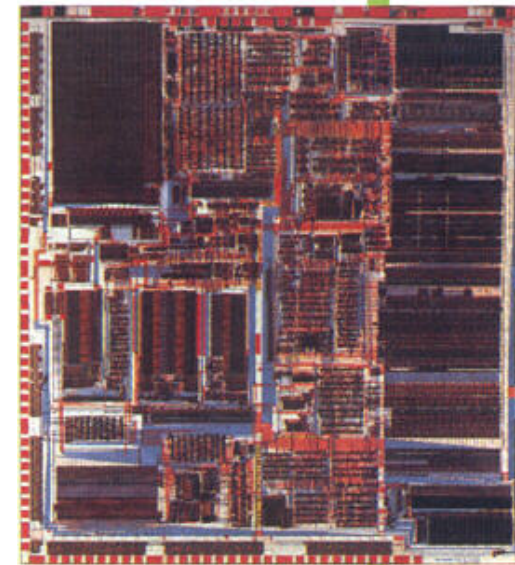


Quelle: Intel Museum

1.3 Historische Entwicklung von Prozessoren

- **1985: 80386 von Intel**
 - 32 Bit Prozessor
 - CMOS Technologie
 - 275 000 Transistoren
 - virtuelle Speicherverwaltung, Segmentierung, Paging

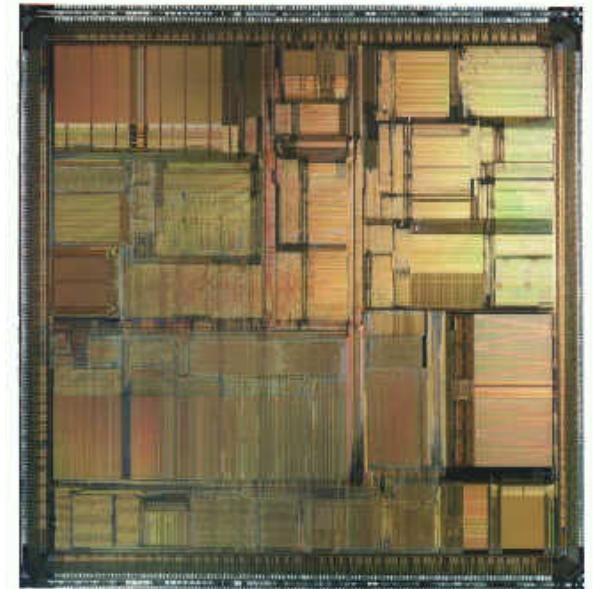
- **1986: 68020 von Motorola**
 - 32 Bit Prozessor
 - ca. 200 000 Transistoren
 - virtueller Adressraum



1.3 Historische Entwicklung von Prozessoren

➤ RISC Mikroprozessoren:

- Advanced Micro Devices Am29000 (~1987)
- Sun Microsystems SPARC (April 1987):
 - 32 Bit CPU mit über 55.000 Transistoren
 - Alle Befehle waren 32 Bit Breit
 - Ausführungszeit lag bei nur 1.3 Takten pro Befehl
 - Eine Sun war 3 mal schneller als 386er Rechner bei einem Fünftel dessen Komplexität.
 - Der SPARC verfügte in der ersten Version über 128 Register
- MIPS technologies (MIPS R2000 / MIPS R3000)



Sun Microsystems SPARC

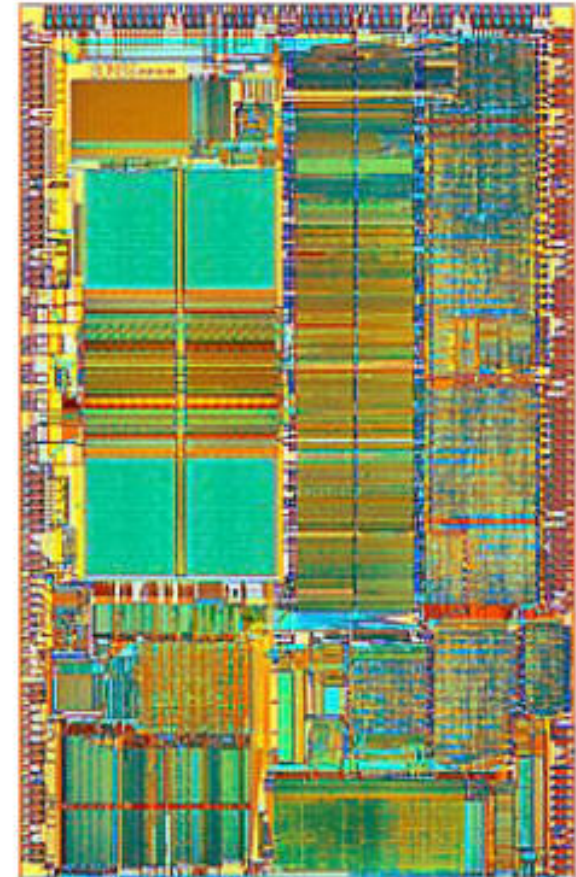
1.3 Historische Entwicklung von Prozessoren

➤ 1989: 80486 von Intel

- Erweiterung des 80386 um integrierten Cache und integrierten numerischen Coprozessor
- ca. 1 200 000 Transistoren
- Multiprozessor-Unterstützung

➤ 1990: 68040 von Motorola

- Nach 68030 zweiter Nachfolger des 68000
- ca. 1 200 000 Transistoren



Quelle: Intel Museum

1.3 Historische Entwicklung von Prozessoren

➤ **1992: Pentium von Intel**

- Nachfolger des 80486
- ca. 3 100 000 Transistoren
- intern teilweise 64 Bit Architektur
- 2 fach Superskalar, Code und Datencache

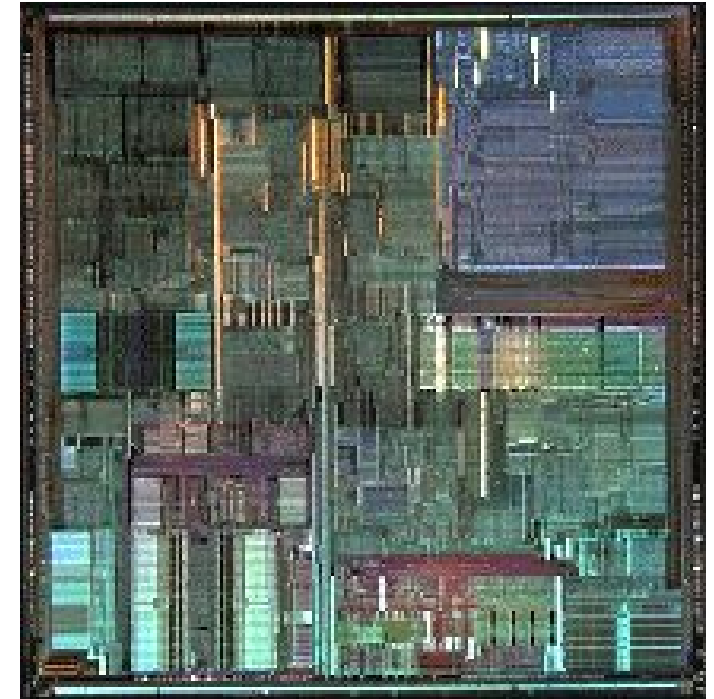
➤ **1992-95: Power PC's MPC601, MPC603, MPC604, MPC620 von Motorola/IBM/Apple**

- RISC Architektur, teilweise 64 Bit Architektur (Daten)
- Superskalar
- ca. 4 000 000 Transistoren (MPC620)

1.3 Historische Entwicklung von Prozessoren

➤ 1995: Pentium Pro von Intel

- Nachfolger des Pentium
- ganz anderer interner Aufbau
- 3-5 fach Superskalar
- ca. 14 stufige Befehlspipeline
- 5 500 000 Transistoren



Quelle: Intel Museum

- Zwei eingebaute Cache-Speicher-Ebenen
- speculative execution, dynamic branch prediction

1.3 Historische Entwicklung von Prozessoren

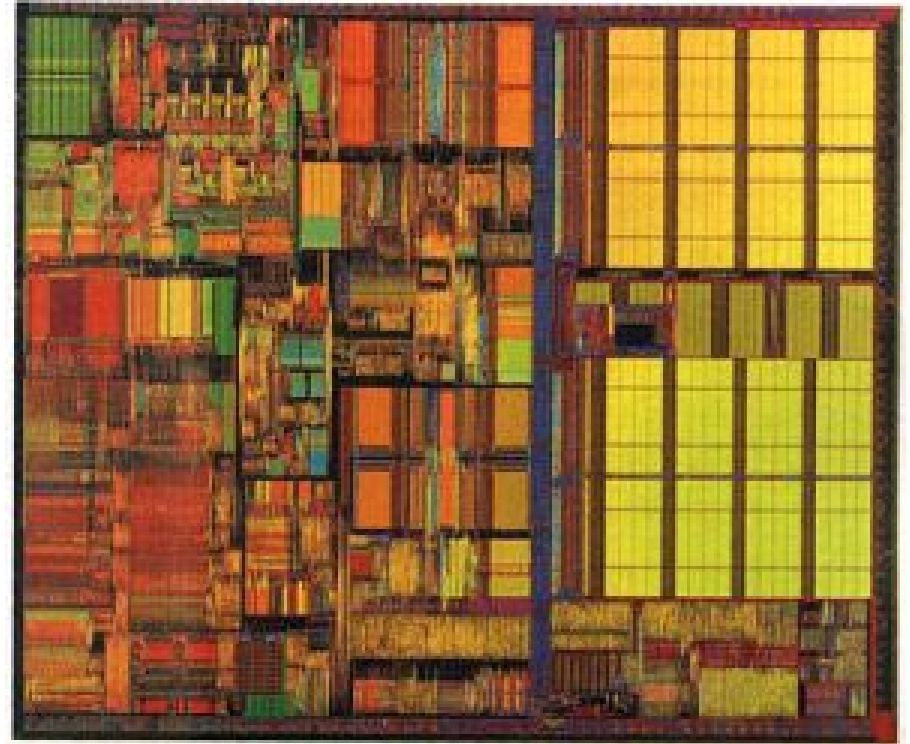
➤ 1996: Pentium II

- Nachfolger vom Pentium Pro mit speziellen Multimedia-Erweiterungen (MMX)
- 3-5 fach Superskalar
- ca. 14 stufige Befehlspipeline
- 7 500 000 Transistoren
- speculative execution, dynamic branch prediction

1.3 Historische Entwicklung von Prozessoren

➤ 1998: Pentium III

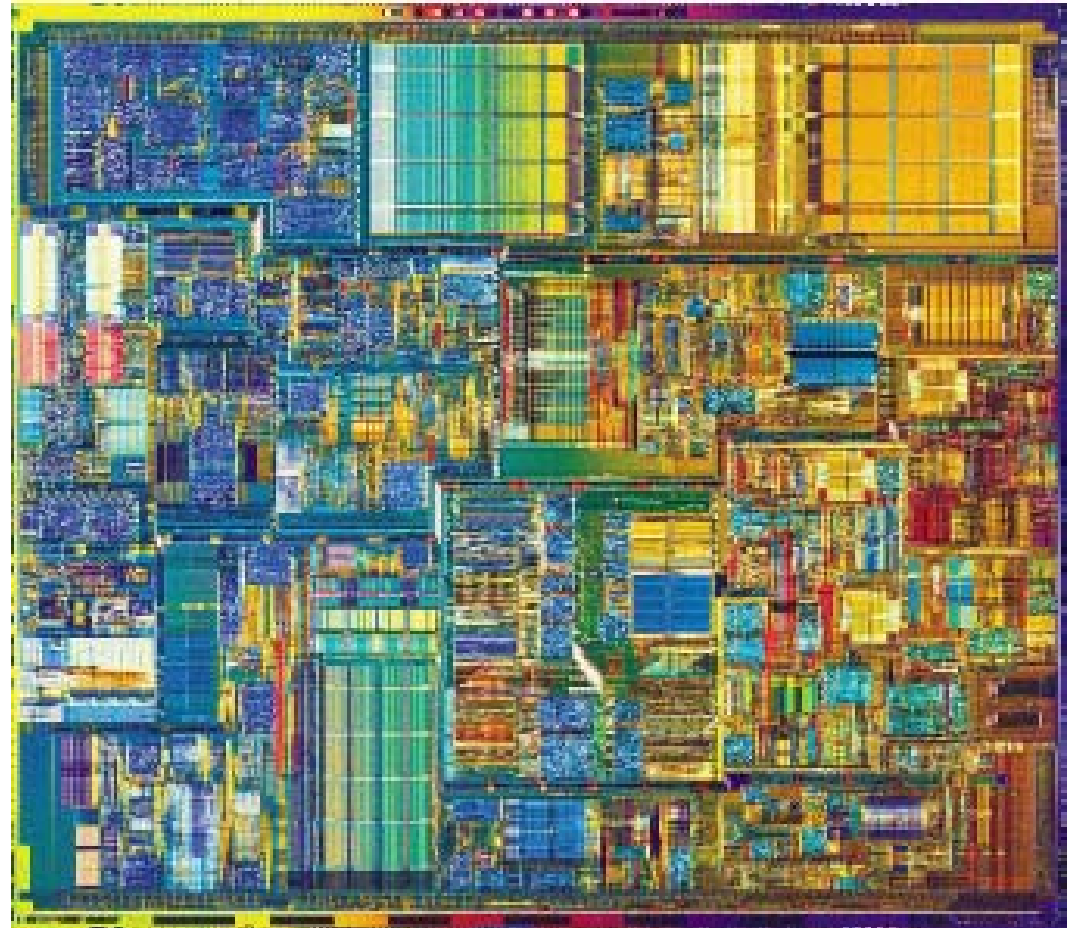
- Nachfolger vom Pentium II mit Internet Streaming SIMD Extension (ISSE)
- (*SIMD = Single Instruction, Multiple Data*)
- 16 KByte Daten- und Befehls-Cache mit vollem Prozessortakt.
- 2nd-Level-Cache mit halbem Prozessortakt
- Anbindung an die Außenwelt über einen mit 100 - 133 MHz arbeitenden Systembus.



1.3 Historische Entwicklung von Prozessoren

➤ 2000: Pentium 4:

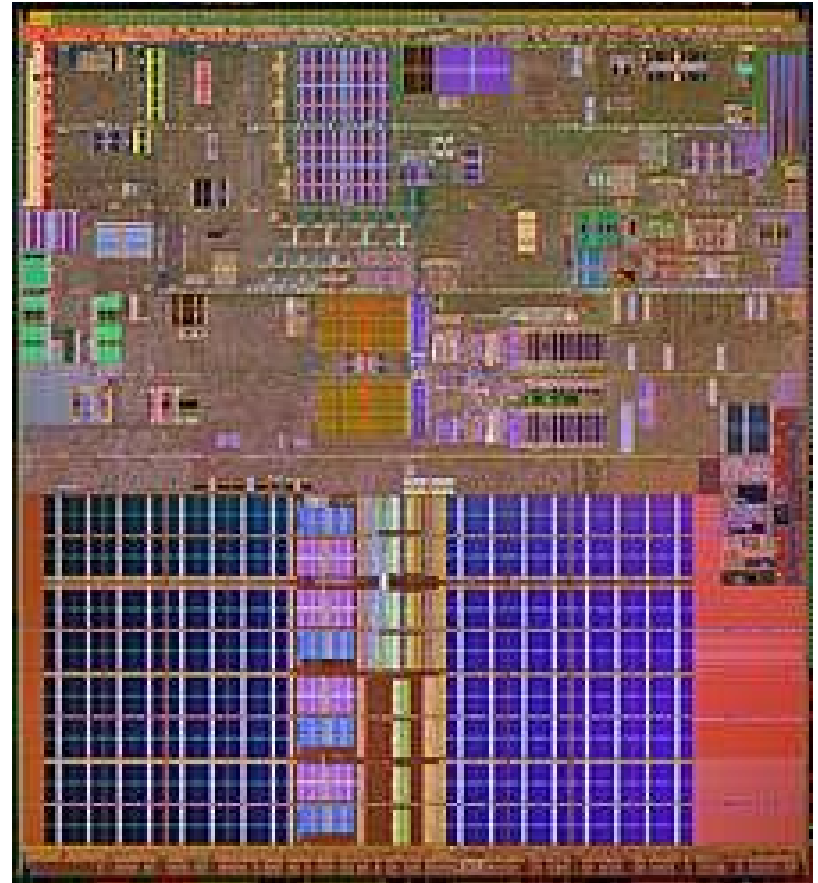
- komplette Neuentwicklung
- Intel® NetBurst™ micro-architecture
- Nachfolger vom Pentium III mit Internet Streaming SIMD Extensions 2
- Enhanced floating point/multimedia
- Advanced dynamic execution
- Hyper-threading technology
- Execution trace cache and advanced transfer cache
- 400MHz System Bus



Aktuelle Mikroprozessoren

Intel Pentium 4 Prozessor mit 64-Bit-Erweiterungen

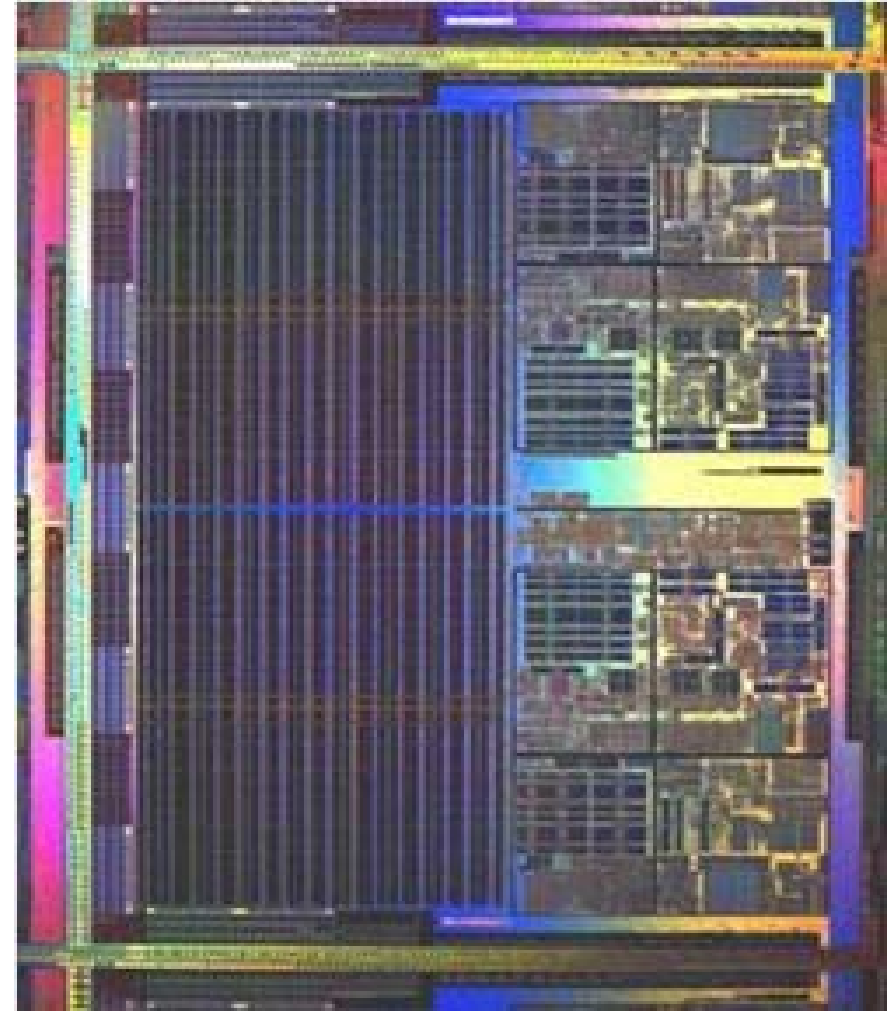
- Prescott-Kern mit 2 MByte L2-Cache (Prescott 2M, 90-nm-Technik)
- ca. 169 Millionen Transistoren auf 135 Quadratmillimetern Fläche
- bis zu 3,73 GHz Taktrate
- SpeedStep-Stromspartechnik
- 999 US-Dollar bei Markteinführung



Aktuelle Mikroprozessoren

AMD Opteron Dual-Core-Prozessor

- pro Kern 128 KB-L1 und 1 MB L2-Cache
- 90-nm-Technik
- ca. 234 Millionen Transistoren
- bis zu 2,2 GHz Taktrate
- 2649 Dollar bei Markteinführung



Geschichte der Rechnerstrukturen

Tabellarische Auflistung der wichtigsten Rechenanlagen,
Mikrorechner und Mikroprozessoren von 1936 bis 2003 auf
der TI-Homepage

<http://ti.ira.uka.de/Geschichte>

