



## 4. Übungsblatt

Abgabetermin: 24. Mai 2007, 13:00 Uhr

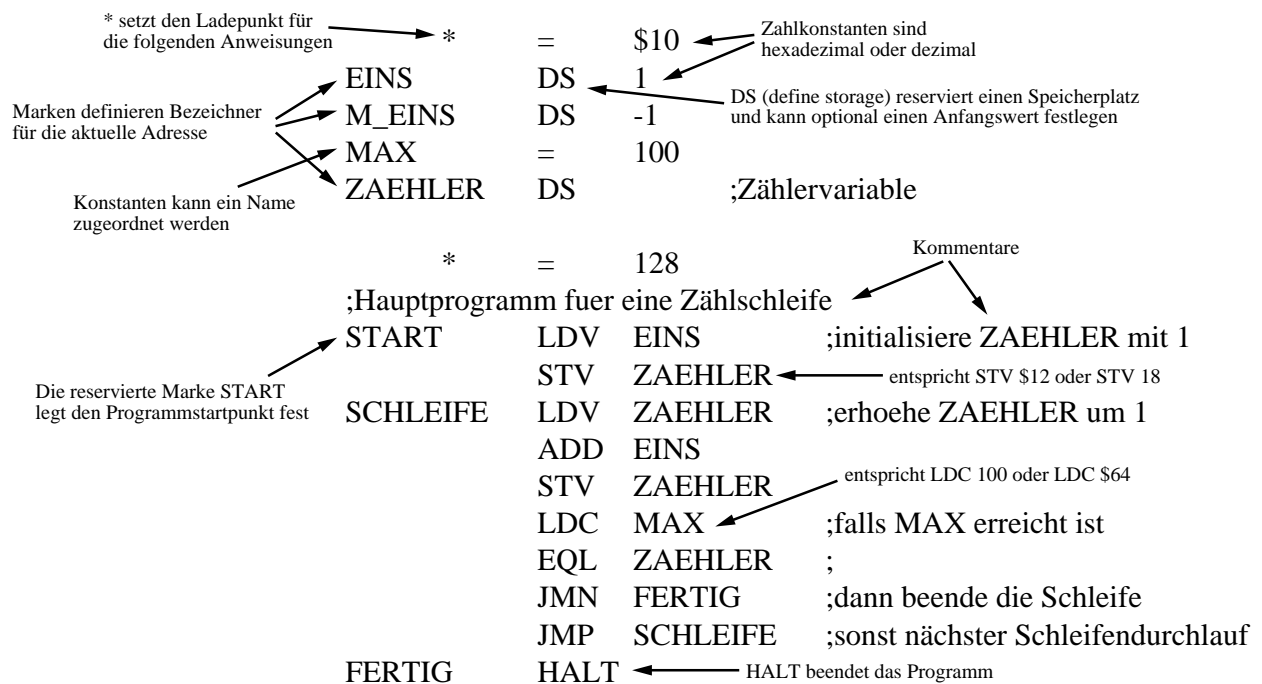
Prof. Dr. J. Henkel

Am Zirkel 2, Geb. 20.20  
D-76131 Karlsruhe

Dr.-Ing. T. Asfour

Telefon: +49-721-608-7379  
Fax: +49-721-608-8270  
Email: asfour@ira.uka.de  
http://ti.ira.uka.de

Zur Erleichterung der MIMA-Programmierung wird jetzt die im folgenden Beispiel dargestellte Assemblernotation eingeführt.



### Aufgabe 1

(10 Punkte)

Der Befehlssatz der MIMA wird um zwei Befehle mit indirekter Adressierung erweitert.

OpCode	Mnemonic	Beschreibung
A	LDIV a	«a» → Akku
B	STIV a	Akku → «a»

LDIV lädt den Wert an der Adresse <a> in den Akkumulator. STIV schreibt den Inhalt des Akkumulators an der Adresse <a>.

1. Geben Sie die Mikroprogramme für die Execute-Phasen der Befehle LDIV und STIV an (jeweils ab dem 7. Takt).

2. Schreiben Sie ein MIMA-Programm, das ein Array von Zahlen sortiert. Die Zahlen stehen im Speicher ab Adresse 0. Der Einfachheit halber seien alle Werte im Bereich 0x00000 bis 0x7FFFF. Die Adresse des letzten Eintrags, d. h. die Array-Größe minus 1, stehe in der Speicherzelle 0x00040 bereit. Der Adressbereich 0x00080 bis 0x000FF steht für temporäre Variablen des Programms zur Verfügung. Das Programm soll bei Adresse 0x00100 beginnen. Nach Ablauf des Programms sollen die Zahlen in aufsteigender Reihenfolge, beginnend ab Adresse 0, im Speicher stehen.

**Hinweis:** Beginnen Sie mit der Sortierung beim letzten Eintrag und formulieren Sie die Bedingung für den Schleifenabbruch entsprechend.

### Aufgabe 2

(4 Punkte)

1. Beantworten Sie die folgenden Fragen zu Standard-Prozessoren.
  - i.) Welches Register enthält den aktuell ausgeführten Befehl?
  - ii.) Aus welchem Register entnimmt das Steuerwerk die Information über das Ergebnis einer arithmetisch logischen Operation im Prozessor?
  - iii.) Wo steht die Adresse des nächsten auszuführenden Befehls?
  - iv.) Welche Einheit des Mikroprozessors berechnet die effektive Adresse?
2. Beantworten Sie die folgenden Fragen zu RISC-Prozessoren.
  - i.) Was macht die Dekodierschaltung in einem RISC-Prozessor einfach?
  - ii.) Was bedeutet *Load/Store*-Architektur?
  - iii.) Wie ist das Steuerwerk implementiert?
  - iv.) Was ist eine *Harvard*-Architektur?