



Technische Informatik II im SS 2007

Aufgaben zu den Tutorien in der Woche
vom 25. bis 28. Juni 2007

Prof. Dr. J. Henkel
Dr.-Ing. Tamim Asfour

Haid-und-Neu-Str. 7
2. OG., Raum 313.1
D-76131 Karlsruhe

Telefon: +49-721-608-7379
Fax: +49-721-608-8270
Email: asfour@ira.uka.de
<http://i61www.ira.uka.de/users/asfour/TI>

Aufgabe 1

1. Bei einem Cache-Speicher mit einer Speicherkapazität von 512 KByte ist die Hauptspeicheradresse in ein 16 Bit Tag-Feld, ein 10 Bit Index-Feld und einen 6 Bit Byte-Offset unterteilt. Geben Sie bei der Beantwortung der folgenden Fragen den Lösungsweg an.
 - (a) Bestimmen Sie die Blockgröße in Bytes.
 - (b) Wieviele Einträge besitzt der Cache-Speicher?
 - (c) Wie ist der Cache-Speicher organisiert?
2. Es soll ein 5-fach-assoziativer (*5-way set associative cache*) Cache-Speicher mit 128 Sätzen und einer Blockgröße von 8 Byte realisiert werden. Nehmen Sie an, dass die Hauptspeicheradresse 32 Bit breit ist. Zur Verwaltung eines Cacheblocks wird nur ein Statusbit (*Valid*-Bit: V) verwendet.
 - (a) Welche Bits der 32-Bit-Adresse bilden Offset, Tag und Index? Skizzieren Sie hierzu die Unterteilung der Hauptspeicheradresse.
 - (b) Bestimmen Sie den insgesamt erforderlichen Speicherbedarf zur Realisierung dieses Cache-Speichers.
3. Abbildung 1 zeigt ein Mikrorechnersystem, das neben dem Prozessor mit Cache einen DMA-Controller ohne Cache als weiteren Master aufweist. Der DMA-Controller hat wie der Prozessor einen direkten Zugriff auf den Hauptspeicher, in dem sich beide Master einen Speicherbereich teilen.
 - (a) Welches Daten-Inkonsistenz-Problem tritt auf, wenn der Cache ein Durchschreib-Verfahren (*write-through*) verwendet?
 - (b) Welches Daten-Inkonsistenz-Problem tritt auf, wenn der Cache ein Rückschreib-Verfahren (*write-back*) verwendet?
 - (c) Geben Sie zwei Lösungsvorschläge zur Gewährleistung der Datenkonsistenz an.

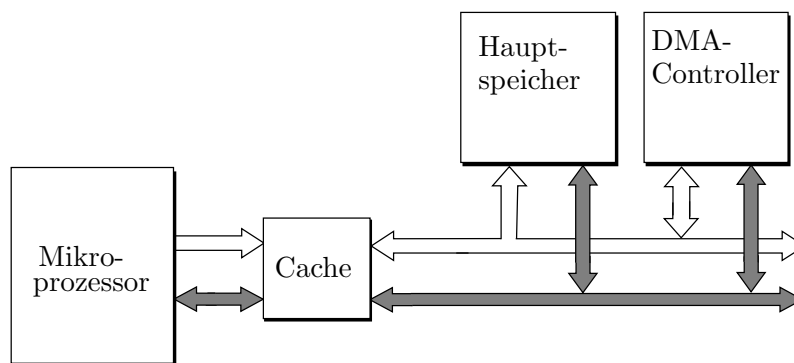


Abbildung 1: Mikrorechnersystem mit DMA-Controller

Aufgabe 2

Die Speicherverwaltung in einem Rechnersystem geschieht zweistufig über eine Segmenttabelle und eine Seitentabelle. Die Unterteilung der virtuellen und der physikalischen Adresse ist in Bild 2 (siehe nächste Seite) dargestellt.

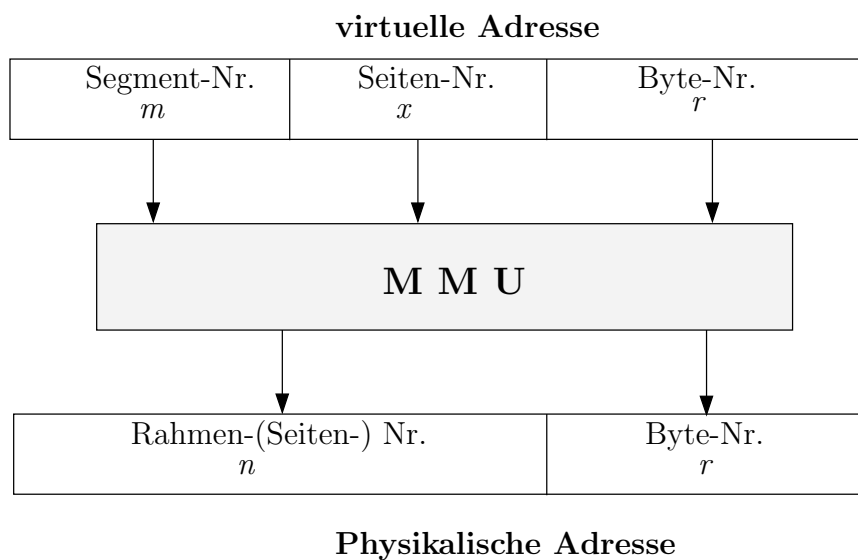


Abbildung 2: Zweistufige Adressberechnung

1. Geben Sie die Größe des maximal verfügbaren virtuellen Adressraums in Byte an. In wieviele Segmente wird der virtuelle Adressraum unterteilt?
2. Wieviel Seiten können in einem Segment im virtuellen Adressraum gespeichert werden? Geben Sie die Größe einer Seite in Byte an.
3. Was ist der Vorteil einer solchen zweistufigen Adressumsetzung gegenüber einer reinen Seitenverwaltung?