



Technische Informatik II im SS 2007

Aufgaben zu den Tutorien in der Woche
vom 07. bis 10. Mai 2007

Prof. Dr. J. Henkel
Dr.-Ing. Tamim Asfour

Haid-und-Neu-Str. 7
2. OG., Raum 313.1
D-76131 Karlsruhe

Telefon: +49-721-608-7379
Fax: +49-721-608-8270
Email: asfour@ira.uka.de
<http://i61www.ira.uka.de/users/asfour/T1>

Lernziele

1. C-Sprache (siehe Vorlesungsfolien): Wichtig sind dabei Zeiger und wie man damit umgeht.
2. Von-Neumann-Architektur
3. Einfaches Beispiel zur Mikroprogrammierung
1. Aus welchen Komponenten besteht ein CPU (laut Vorlesung) und welche Funktionen haben sie?

Steuerwerk, Rechenwerk, Registersatz, Adresswerk, Systembusschnittstelle.

Hier sollte man *mindestens* wissen:

- Steuerwerk: Befehlsregister, Steuerregister und Dekodierer (festverdrahtetes Schaltnetz oder ein Mikroprogramm-Festwertspeicher)
- Rechenwerk: ALU und Statusregister.
- Adresswerk
- Registersatz
- Systembusschnittstelle: Adressbusbuffer, Programmzähler (besser Befehlszähler), Datenbuspuffer, Adressbusbuffer.

Aufgabe 1

Betrachten Sie die einfache AUL-Struktur in Bild 1. Dabei sei c_0 der Übertrageingang zum niedrigstwertigen Bit der ALU. Füllen Sie die folgende Tabelle aus.

| s_0 | s_1 | s_2 | s_3 | c_0 | Operation |
|-------|-------|-------|-------|-------|--|
| 1 | 0 | 1 | 0 | 0 | |
| | | | | | $G = X - Y$ (2-Komplement Subtraktion) |
| | | | | | $G = X \nabla Y$ (Antivalenz) |
| | | | | | $G = X \cdot Y$ (Logisches UND) |

Aufgabe 2

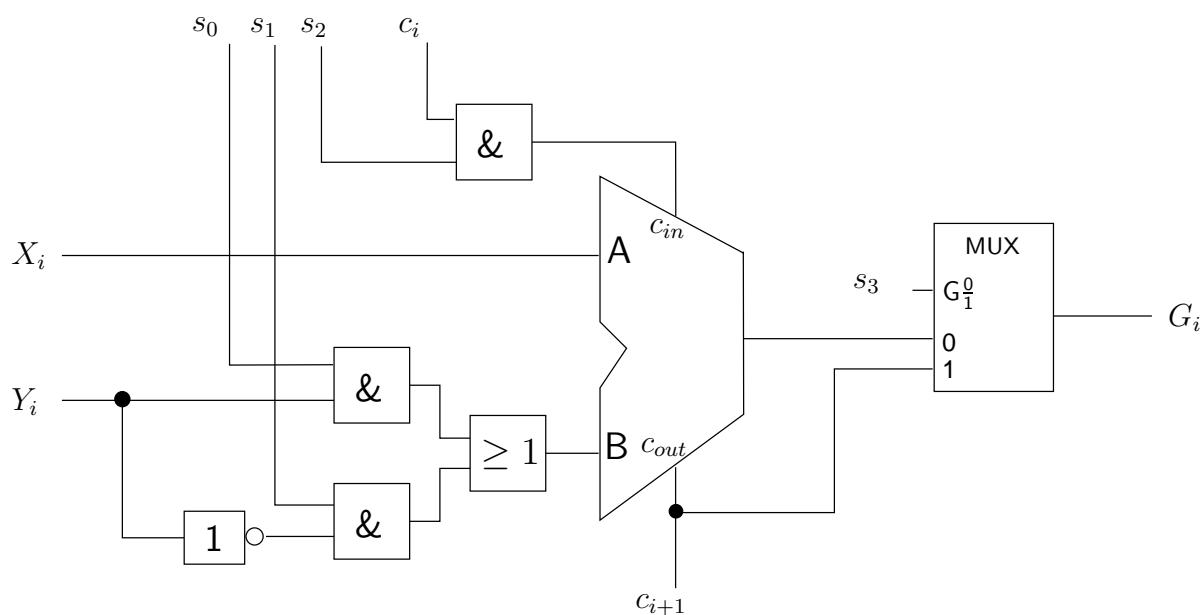


Abbildung 1: ALU

$S: RM \leftarrow 0, \quad S \leftarrow 0, \quad F \leftarrow 1, \quad D \leftarrow 0$

$F: F \leftarrow 0, \text{ if } RA = 0 \text{ then } D \leftarrow 1 \text{ else } R \leftarrow 1$

$R: RM \leftarrow RM + RQ, \quad RA \leftarrow RA - 1, \quad R \leftarrow 0, \quad F \leftarrow 1$

1. Gegeben sei ein Datenpfad bestehend aus 3 Registern RA, RQ und RM , vier Flipflops S (Start), F, R und D (Done). Betrachten Sie die folgenden bedingten Register-Transfer-Anweisungen (RT-Operationen):

Simulieren Sie die obigen RT-Operationen, indem Sie die Tabelle 1 im Lösungsblatt vervollständigen. Die Ausführung der Operationen wird mit $D = 1$ angehalten.

| Takt | S | F | R | D | RA | RQ | RM |
|------|-----|-----|-----|-----|------|------|------|
| 1 | 1 | 0 | 0 | 0 | 1 | 3 | 1 |
| 2 | | | | | | | |

Tabelle 1: Register-Transfer-Anweisungen

2. Das i -te Bit einer arithmetisch logischen Einheit (ALU) ist wie in Bild 2 realisiert. Dabei stellen A_i und B_i das i -te Bit der Operanden A und B und F_i das i -te Bit des Ergebnisses F dar.

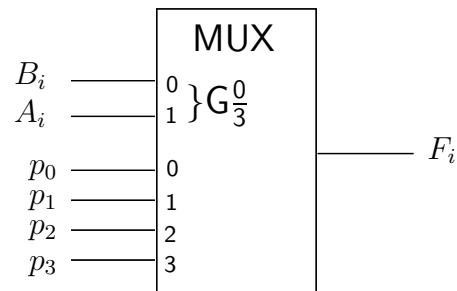


Abbildung 2: ALU-Design

Vervollständigen Sie die Tabelle im Lösungsblatt, so dass die dort angegebenen Operationen realisiert werden.