

Vorlesung

Technische Informatik II

SS 2003

Prof. Dr. –Ing. R. Dillmann
Dipl.-Ing. T. Asfour

Institut für Rechnerentwurf und Fehlertoleranz (IRF)
Industrielle Anwendungen der Informatik und Mikrosystemtechnik (IAIM)



Industrielle Anwendungen der Informatik und Mikrosystemtechnik
Prof. Dr. R. Dillmann

1-1

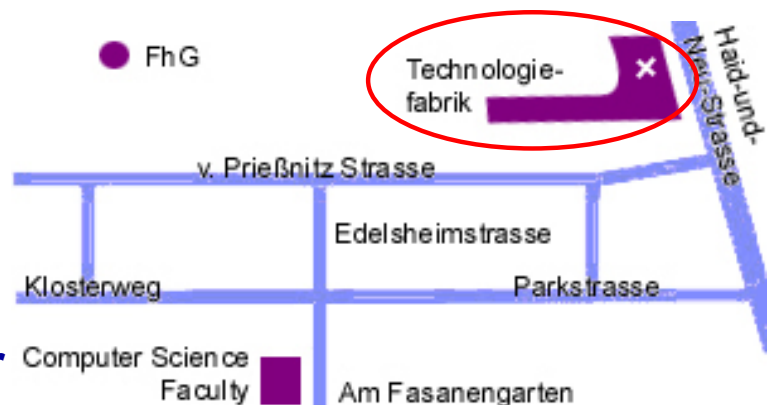
Sprechstunde

Prof. Dr. R. Dillmann:

Mittwoch 10.00 – 12.00 Uhr nach
Vereinbarung im Institutssekretariat
in der Technologiefabrik
(Haid-und-Neu-Str. 7),
2.OG, Raum 317.2

T. Asfour:

Montag 14:00-16:00 Uhr
in der Technologiefabrik
(Haid-und-Neu-Str. 7),
2.OG, (Raum 313.1)



Industrielle Anwendungen der Informatik und Mikrosystemtechnik
Prof. Dr. R. Dillmann

1-2

Termine

Vorlesung & Übung

Dienstag: Hörsaal am Forum (Geb. 30.95),
14.00 - 15.30 Uhr

Donnerstag: Hörsaal am Forum (Geb. 30.95),
14.00 - 15.30 Uhr (14tägig)

Aktuelle Termine (TI-Homepage)

<http://i61www.ira.uka.de/users/asfour/TI/>

Tutorien: Merkblatt zur Anmeldung (TI-Homepage)



Industrielle Anwendungen der Informatik und Mikrosystemtechnik
Prof. Dr. R. Dillmann

1-3

TI-Basispraktikum im SS 2003 Mobile Roboter

Prof. Dr.-Ing. R. Dillmann
Geb. 07.21 (Technologiefabrik)
Haid-und-Neu-Str. 7
D-76131 Karlsruhe
Tel.: +49-721-608-7132
Fax: +49-721-608-8270
e-mail: gockel@ira.uka.de
<http://www.iain.ira.uka.de>
Tilo Gockel, Raum 315.1
Datum: 13.07.2001

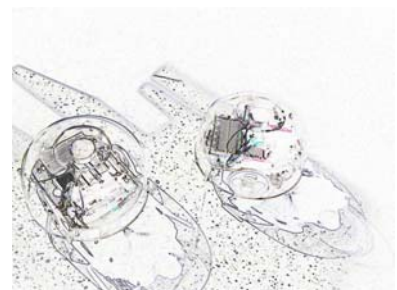
Inhalt:

Das TI-Basispraktikum Mobile Roboter ist als begleitende Veranstaltung zu den Vorlesungen Technische Informatik I + II und Robotik I - III gedacht und kann im Studiengang Informatik als Proseminar (Grundstudium) angerechnet werden.

Jede Woche wird ein anderer Versuch im Zweier-Team bearbeitet. Es stehen insgesamt 10 - 12 Praktikumsplätze zur Verfügung.

Im Rahmen des Praktikums werden folgende Inhalte vermittelt:

- Elektronik- und Hardware-Grundlagen
- Controller-Programmierung in Assembler und C
- Roboter-Sensoren und Aktoren
- autonome Robotik, reflexbasiertes Verhalten und Subsumptionsnetzwerke



Vorbesprechung:

am **Mittwoch, 30. April 03, 14:00 Uhr** in Raum 316.4 des Geb 07.21 (Technologiefabrik). In der Vorbesprechung werden die Teilnehmer in verschiedene Gruppen eingeteilt. **Anmeldung** erfolgt bei Tilo Gockel, Tel.: 608-7132
e-Mail: gockel@ira.uka.de

Weitere Termine

Informationen zur Eintragung:

<http://webinscribe.ira.uka.de>

Web-basierte Anmeldung zu den Tutorien

Passwortausgabe im Rechenzentrum im 1. UG im Raum –112. Weitere Informationen auf dem Merkblatt zur Eintragung in die Tutorien.

Ergebniss der Einteilung:

Fr, 02.05. im Geb. 20.20 und im Geb. 50.34 und im WWW ab 12.00 Uhr



Industrielle Anwendungen der Informatik und Mikrosystemtechnik
Prof. Dr. R. Dillmann

1-5

Tutorien

Ausgabe des 1. Übungsblattes:

08. Mai in der Vorlesung

Abgabe des 1. Übungsblattes:

Spätestens Do., 15. Mai, 13.00 Uhr, Briefkasten „Technische Informatik“ im Untergeschoß im Informatik-Hauptgebäude am Fasanengarten (Geb. 50.34)

Beginn der Tutorien:

05. Mai 2003



Industrielle Anwendungen der Informatik und Mikrosystemtechnik
Prof. Dr. R. Dillmann

1-6

Klausur

Termin: 02. September 2003

Nachklausur: voraussichtlich Januar/Februar 2004

Es hat sich in der Vergangenheit auch gezeigt, dass Studierende, die regelmäßig an den Tutorien **teilgenommen** und **einen Übungsschein** erworben haben, erheblich bessere Prüfungsergebnisse erreichen.



Kriterien für den Schein

- Regelmäßige Teilnahme und Bereitschaft zur *aktiven* Mitarbeit in den Tutorien.
- Rechtzeitige Abgabe einer gültigen Ausarbeitung zu mindestens **acht** Übungsblättern.
- *mindestens* 50% der insgesamt durch die Bearbeitung aller Übungsblätter erreichbaren Punktzahl
- Wer zweimal gegen folgende Bedingung verstößt, erhält keinen Schein:

Eine Person, die eine korrekt gelöste (Teil-) Aufgabe abgegeben hat, muß auch in der Lage sein, diese im Tutorium vorzurechnen.



“Das Wettrennen um die schnellsten Mikroprozessoren könnte man als Formel 1 der Computertechnik bezeichnen.”

Die ZEIT vom 18. März 1994

“Der Prozessor ist das Reitpferd der Informationsgesellschaft.”

Prof. Waldschmidt, ARCS-Tagung 1999



Die Leistungssteigerung bei Mikroprozessoren ist durch folgende Fortschritte erreicht worden:

- ❑ durch Steigerung der Gatterzahl auf dem Chip,
- ❑ durch Steigerung der Taktrate und
- ❑ durch Fortschritte beim Hardware-Entwurf (Architektur, Mikroarchitektur, Entwurfswerkzeuge).

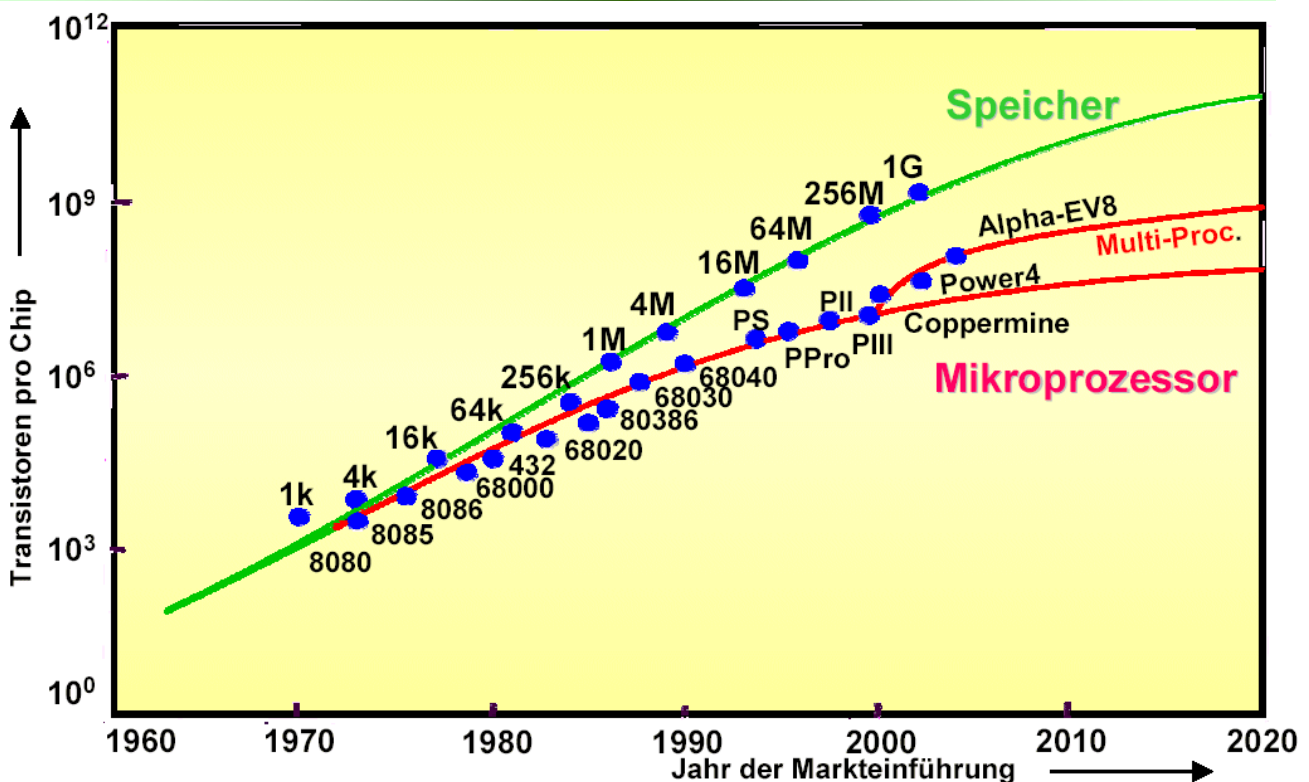


Exponentialgesetz der Mikroelektronik „Moore'sches Gesetz“

- ❑ Die Anzahl der Transistoren pro (Prozessor-)Chip verdoppelt sich alle zwei Jahre.
- ❑ Die Verarbeitungsleistung der Hochleistungsprozessoren verdoppelt sich alle 18 Monate.
- ❑ Für den gleichen Preis liefert die Mikroelektronik die doppelte Leistung in weniger als zwei Jahren.



Exponentialgesetz der Mikroelektronik „Moore'sches Gesetz“



Beispiele bei Prozessoren

Prozessor	Taktrate	Struktur- breite	Anzahl Transist.	Chip- Größe	Leistung
Alpha 21264C	1,001 MHz	0.18 μ	15.4 Mio	115 mm ²	95 W
AMD AthlonMP	1.2 GHz	0.18 μ	37.5 Mio	128 mm ²	55 W
HP PA8600	552 MHz	0.25 μ	130 Mio	477 mm ²	60 W
IBM Power3-II	450 MHz	0.22 μ	23 Mio	163 mm ²	36 W
Intel Itanium	800 MHz	0.18 μ	25 Mio	300 mm ²	130 W
Intel Pentium 4	1.8 GHz	0.18 μ	42 Mio	217 mm ²	67 W
MIPS R14000	500 MHz	0.25 μ	7.2 Mio	204 mm ²	30 W
Sun Ultra II	480 MHz	0.29 μ	3.8 Mio	126 mm ²	20 W
Sun Ultra III	900 MHz	0.15 μ	29 Mio	210 mm ²	75 W

Quelle: Microprocessor Report, Chart Watch, August 27, 2001



Industrielle Anwendungen der Informatik und Mikrosystemtechnik
Prof. Dr. R. Dillmann

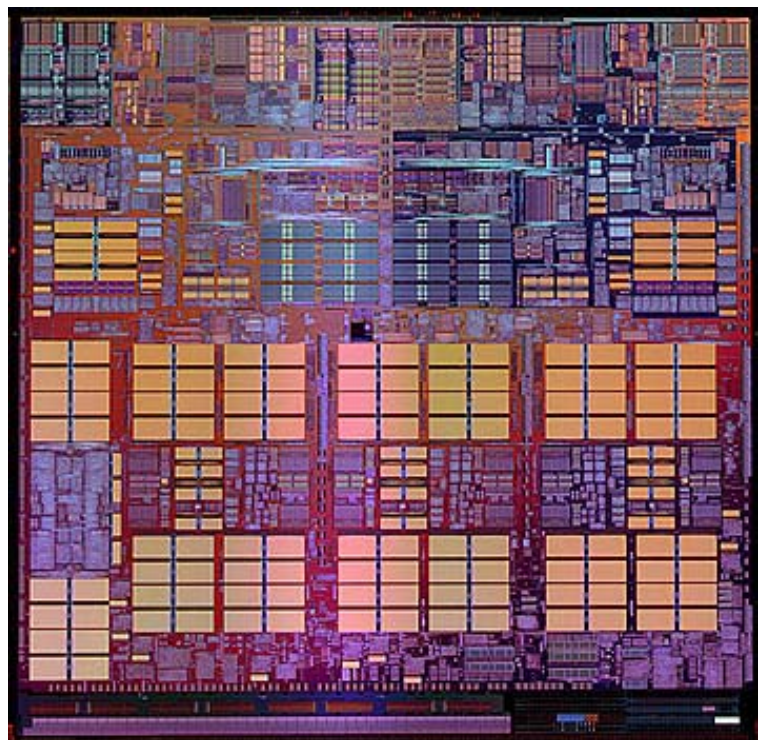
1-13

Beispiele von Mikroprozessoren

IBM Power 4

174 Mio Transistoren
400 mm²
0.18 μ in Kupfer-
Technik

Zwei unabhängige 64-
Bit Kerne mit eigenen
L1-Caches (32 KByte
Instruktionen und
64 KByte Daten).



Industrielle Anwendungen der Informatik und Mikrosystemtechnik
Prof. Dr. R. Dillmann

1-14

Entwicklung

Immer mehr Transistoren auf einem VLSI-Chip SIA 1997 Roadmap für Prozessoren:



Year of 1 st shipment	1997	1999	2001	2003	2006	2009	2012
Local clock (GHz)	0.75	1.25	1.5	2.1	3.5	6	10
Across chip (GHz)	0.75	1.2	1.4	1.6	2	2.5	3
Chip size (mm ²)	300	340	385	430	520	620	750
Feature size (nm)	250	180	150	130	100	70	50
Number of chip I/O	1450	2000	2400	3000	4000	5400	7300
Transistors/chip	11M	21M	40M	76M	200M	520M	1.4G

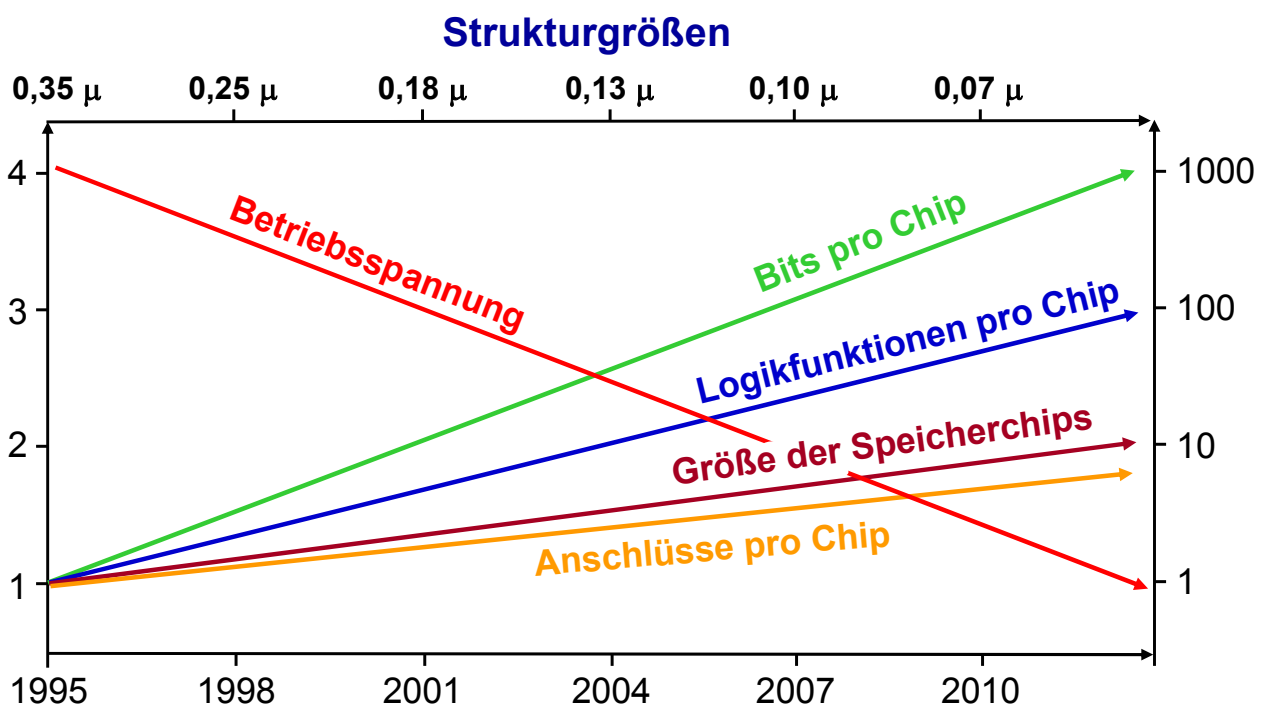
SIA = American Semiconductor Industry

<http://public.itrs.net/>

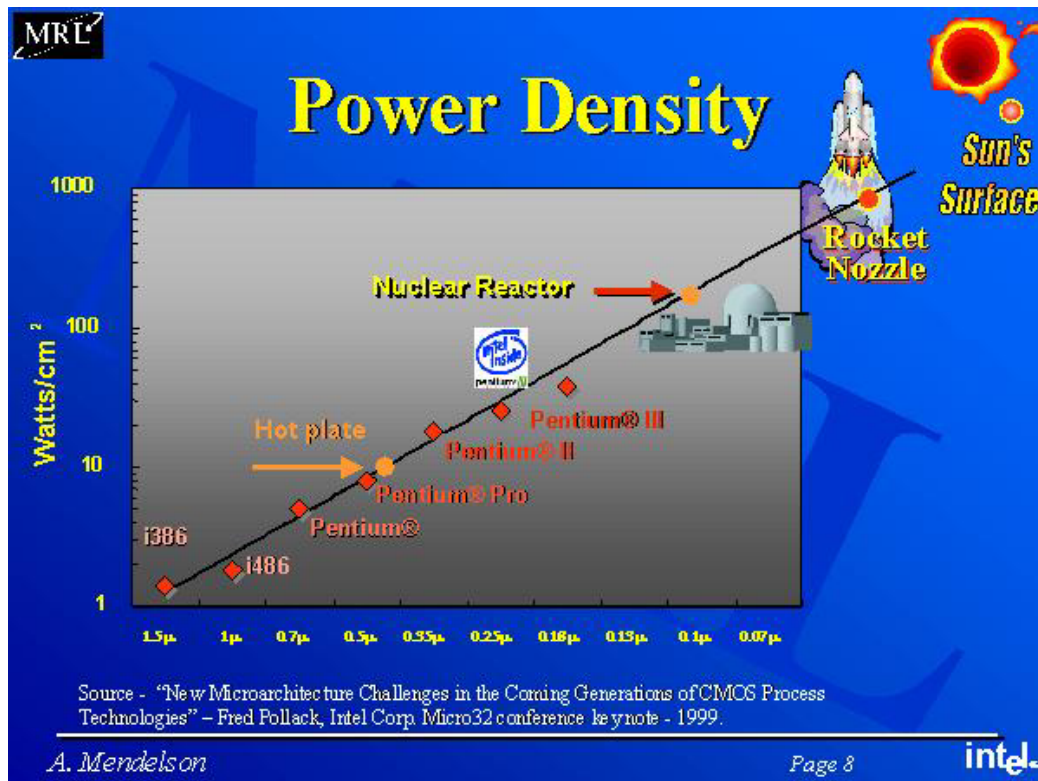
<http://www.sematech.org/public/home.htm>



Mehr Leistung bei weniger Stromverbrauch



Leistungsentwicklung



Moderne Entwicklungen

IBM und XILINX bereiten sich für die Produktion der ersten **90-Nanometer-Chips** auf 300 -mm-Wafern vor:

- Chips mit mehreren Hundert Millionen Transistoren und bis zu 72 Millionen Logik-Gattern
- Versorgungsspannung von unter 1 Volt
- Bis zu acht Kuper-Metalllagen sind möglich
- kapazitätsarme Low-K-Dielektrika als Isolator und Diffusionsbarriere zum Silizium
- In die neue Fabrik hat IBM rund 2,5 Milliarden US-Dollar investiert.



Zukünftige Entwicklung in Schlagworten

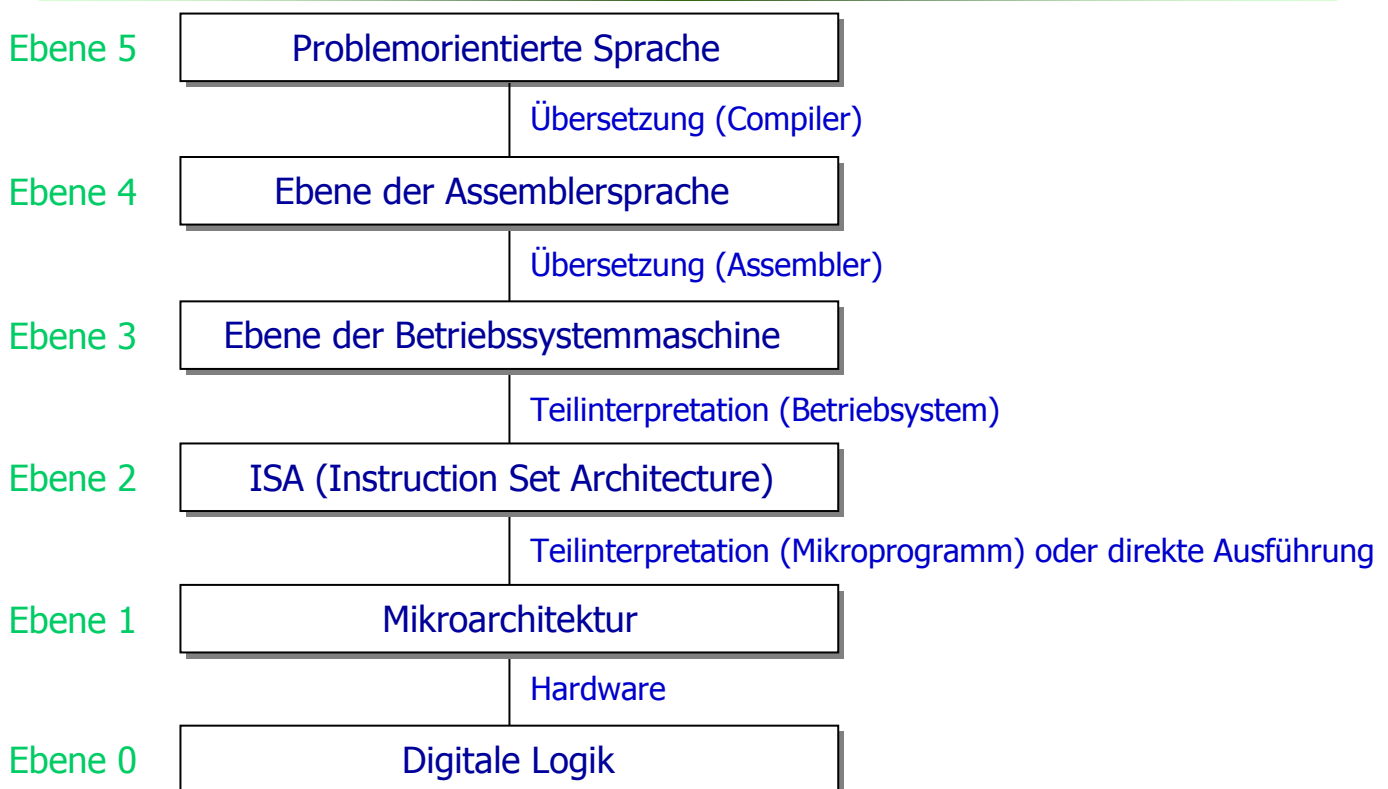
- ❑ **Quanten-Computer:**
Existieren bisher nur in der Theorie und sind so exotisch wie die Quantenmechanik selbst.

Als Speicher für Information in einem Quanten-Computer könnten Wasserstoffatome dienen.

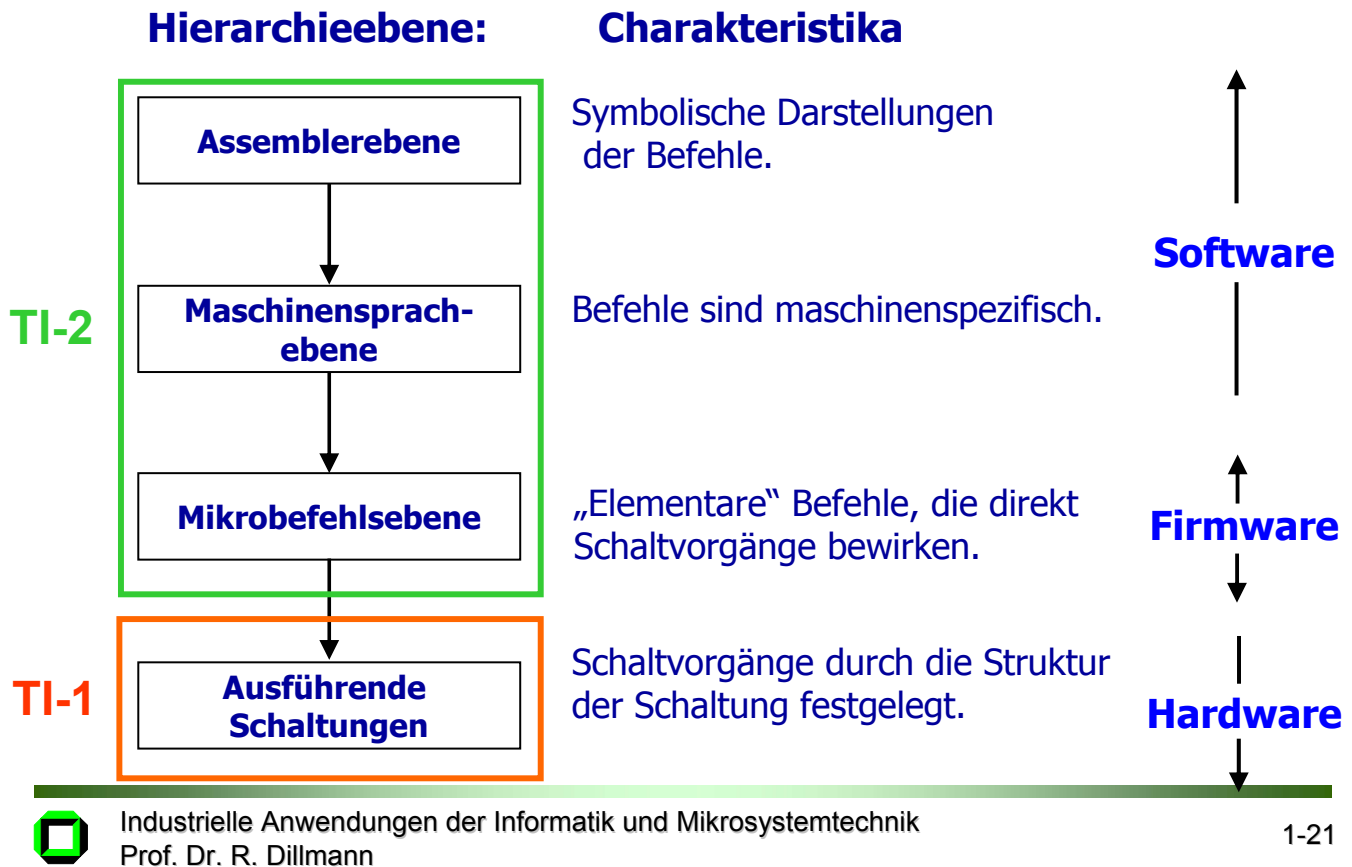
- ❑ **Molekulare Computer (DNA-Computer):**
Können Moleküle sich gegenseitig beeinflussen und dadurch Berechnungen anstellen?



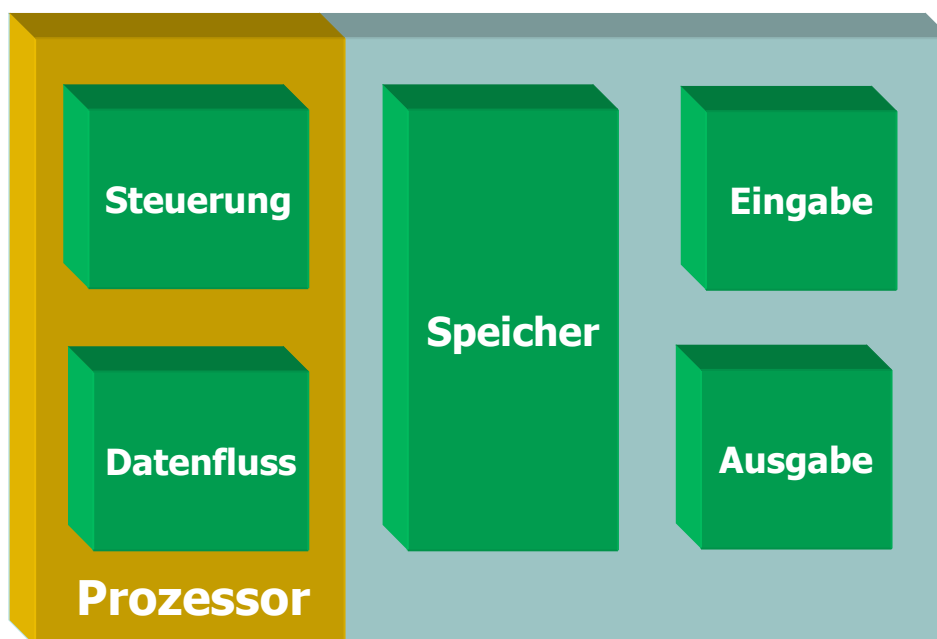
Struktur eines Computer mit 6 Ebenen



Gliederung der Steuerungsebenen im Rechnersystem



Vorlesungsinhalt



Vorlesungsinhalt

❑ **Prinzipieller Aufbau eines Prozessors**

- Steuerwerk
- Operationswerk
- Der Registersatz
- Das Adresswerk
- Das interne Bussystem
- Die Systembus-Schnittstelle

❑ **RISC vs. CISC Prozessoren**

- Von-Neumann- vs. Harvard-Architektur

❑ **Befehls-Pipelining**

- Prinzip und Funktionsweise
- Daten- und Kontrollkonflikte und deren Behebung



Vorlesungsinhalt

❑ **Einführung in die Assemblerprogrammierung**

- Programmiertechniken
- MIPS-Assembler

❑ **Organisation des Arbeitsspeichers**

- Aufbau von Speicherzellen
- Organisation von Speicherbausteinen

❑ **Speicherhierarchie**

- Cache-Speicher (Prinzip, Techniken)
- Virtuelle Speicherverwaltung



Vorlesungsinhalt

- ❑ **System-Steuer- und Schnittstellen-Bausteine**
Bus-Arbiter, Interrupt-Controller, Schnittstellen-Bausteine
- ❑ **Mikrocontroller & Digitale Signalprozessoren**
 - Komponenten
 - Eingabe-/Ausgabeeinheiten
 - Zeitgeber/Zähler-Bausteine
 - Speicherorganisation
 - Unterbrechungssteuerung
 - DMA (direct Memory Access)



Literatur

- **U. Brinkschulte und Th. Ungerer:**
Mikrocontroller und Mikroprozessoren
Springer-Verlag, September 2002
- **H. Bähring:**
Mikrorechner-Systeme, Springer-Lehrbuch,
3. Auflage 2002 (Band I/II)
- **Th. Flick, H. Liebig:**
Mikroprozessortechnik; Springer-Lehrbuch,
5. Auflage 1998
- **W. Oberschelp, G. Vossen:**
Rechneraufbau und Rechnerstrukturen, 8. Auflage,
Oldenbourg 2000



Literatur

- **D. Patterson, J. Hennessy:**
Computer Organisation & Design
Morgan Kaufmann Publ. 3. Auflage 1998
- **J. Silic, B. Robic and Th. Ungerer:**
Processor architecture : from dataflow to
superscalar and beyond; Springer 1999
- **Th. Ungerer:**
Mikroprozessortechnik, Thomson 1995
- **A.S. Tanenbaum:**
Structured Computer Organization, 4. Auflage, 1999



Kapitel 1

Prinzipieller Aufbau eines Prozessors



Digitalrechner (Rechner, Computer):

Drei Hauptkomponenten:

- ❑ **Hardware:**
Physikalische Implementierung einer Funktionalität.
Alle mechanischen und elektronischen Bauelemente
- ❑ **Software:**
Logische Implementierung einer Funktionalität.
Alle Programme, die auf dem Rechner ablaufen
- ❑ **Firmware:**
Mikroprogramme in ROMs, Mittelstellung zwischen
Hardware und Software

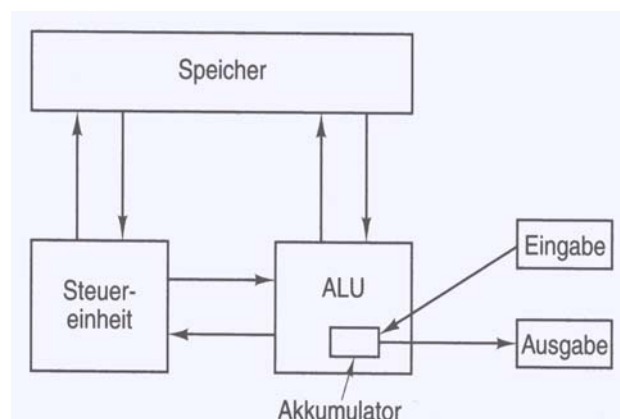


Das von-Neumann-Konzept

Das **von-Neumann-Konzept** ist die Grundlage der in dieser Vorlesung vorgestellten Hardware-Architektur eines Digitalrechner.

Es besteht aus den Komponenten:

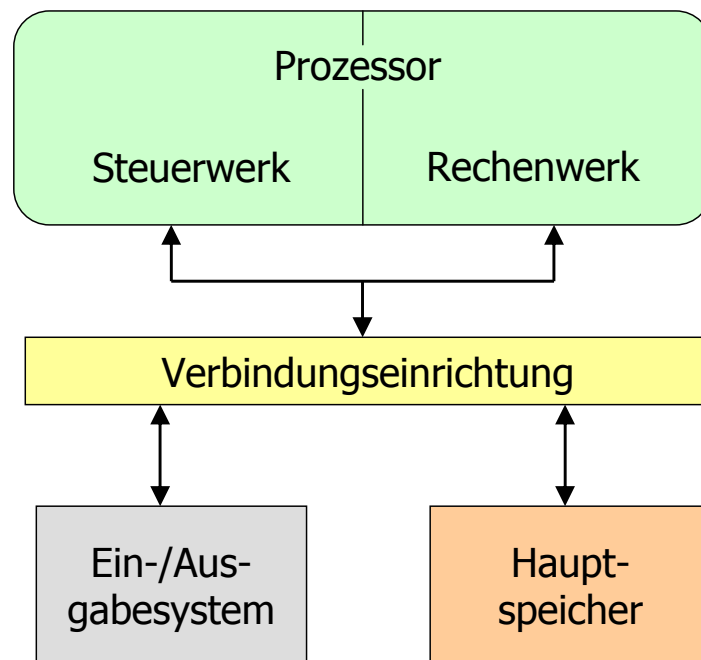
- ❑ Zentraleinheit
- ❑ Speicher
- ❑ Ein-/Ausgabe-Einheiten



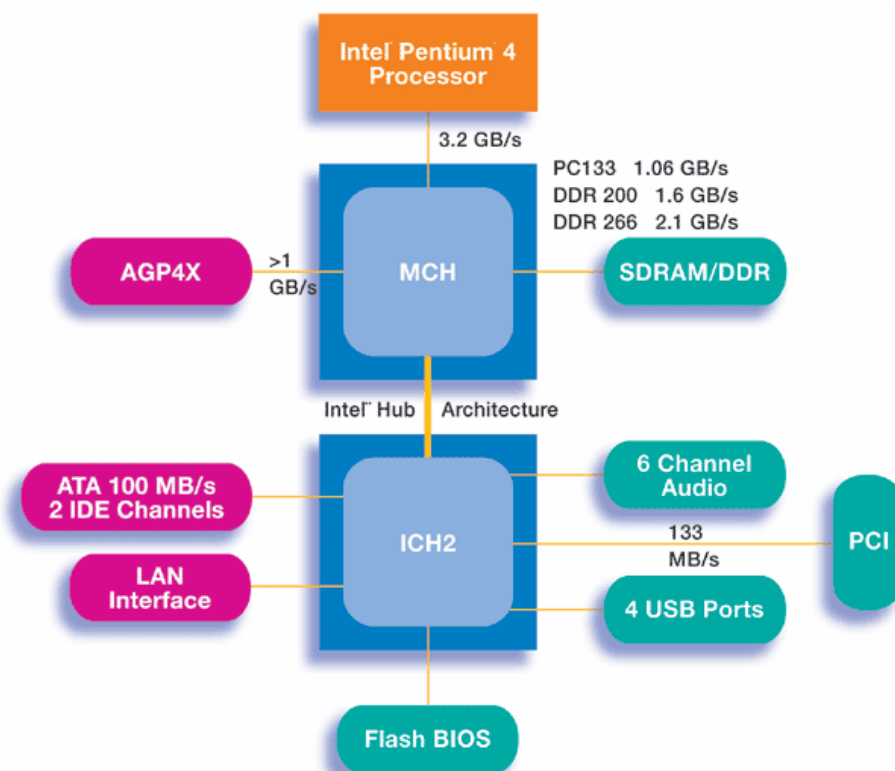
Ursprüngliche von-Neumann-Maschine



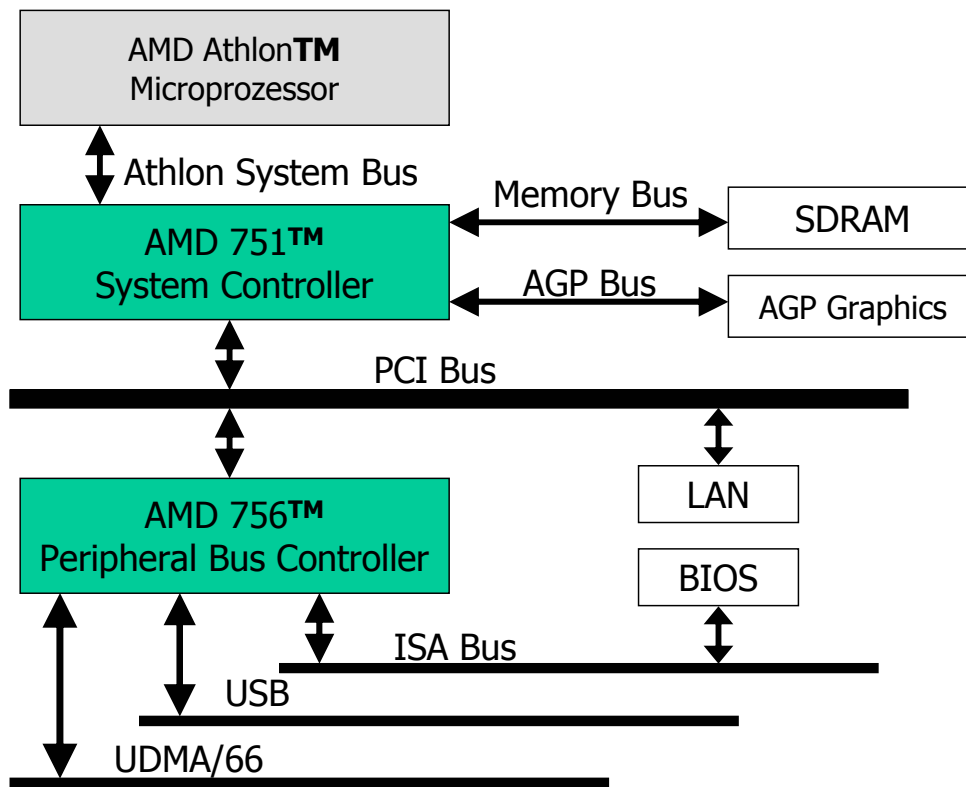
Von-Neumann-Rechner



Pentium 4 Chipsatz



AMD Athlon Chipsatz



1.1 Aufbau eines Digitalrechner

In der Vorlesung TI2:

vor allem Rechner-Hardware

Software-Aspekte nur auf der niedrigsten Ebene
(Befehlssätze, maschinennahe Programmierung,
Speicherverwaltung)



1.1 Aufbau eines Digitalrechner

Rechner aus Hardware-Sicht:

Digitales, elektronisches System, in dem Daten als binärcodierte Information eingegeben, dort gespeichert und verarbeitet werden;

Die Verarbeitung der Daten erfolgt nach einem vorgegebenen Programm aus Maschinenbefehlen, welche die jeweils nächste Operation und die benötigten Operanden bestimmen.



Digitalrechner nach dem von-Neumann Konzept

